

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1036 U.S. PTO
09/903783



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月14日

出 願 番 号

Application Number:

特願2000-213829

出 願 人

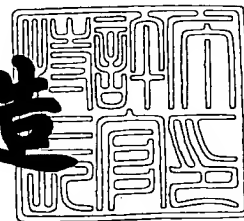
Applicant(s):

株式会社半導体エネルギー研究所

2001年 5月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3044309

【書類名】 特許願

【整理番号】 P005076

【提出日】 平成12年 7月14日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】 空間光変調装置

【特許請求の範囲】

【請求項 1】

第 1 データドライバと、第 2 データドライバと、スキヤンドライバと、画素部とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第 1 スイッチング用トランジスタと、第 2 スイッチング用トランジスタと、S R A M と、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有し、

前記スキヤンドライバは前記第 1 スイッチング用トランジスタ及び第 2 スイッチング用トランジスタのスイッチングを制御しており、

前記第 1 データドライバは、前記第 1 スイッチング用トランジスタを介して前記 S R A M が有する入力端子及び前記第 1 アドレス電極にデジタル信号を入力し

、
前記第 2 データドライバは、前記第 2 スイッチング用トランジスタを介して前記 S R A M が有する出力端子及び前記第 2 アドレス電極にデジタル信号を入力し

、
前記入力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記出力端子から出力され、

前記出力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記入力端子から出力されていることを特徴とする空間光変調装置。

【請求項 2】

第 1 データドライバと、第 2 データドライバと、スキヤンドライバと、複数の第 1 走査線と、複数の第 2 走査線と、複数の第 1 データ線と、複数の第 2 データ線とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第 1 スイッチング用トランジスタと、第 2 スイッチング用トランジスタと、S R A M と、第 1 アドレス電極と、第 2 アドレス電極とをそれ

ぞれ有し、

前記スキन्दライバから前記複数の第 1 走査線及び前記複数の第 2 走査線に
入力される走査信号によって、前記第 1 スイッチング用トランジスタ及び第 2 ス
イッチング用トランジスタのスイッチングが制御されており、

前記第 1 データドライバから前記複数の第 1 データ線に入力されたデジタル信
号は、前記第 1 スイッチング用トランジスタを介して前記 S R A M が有する入力
端子及び前記第 1 アドレス電極に入力され、

前記第 2 データドライバから前記複数の第 2 データ線に入力されたデジタル信
号は、前記第 2 スイッチング用トランジスタを介して前記 S R A M が有する出力
端子及び前記第 2 アドレス電極に入力され、

前記入力端子に入力されたデジタル信号はグラウンドの電位を基準として反転
して前記出力端子から出力され、

前記出力端子に入力されたデジタル信号はグラウンドの電位を基準として反転
して前記入力端子から出力されていることを特徴とする空間光変調装置。

【請求項 3】

第 1 データドライバと、第 2 データドライバと、スキन्दライバと、画素部
とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第 1 スイッチング用トランジスタと、第 2 スイッチング用
トランジスタと、S R A M と、第 1 アドレス電極と、第 2 アドレス電極とをそれ
ぞれ有し、

前記スキन्दライバは前記第 1 スイッチング用トランジスタ及び第 2 スイ
ッチング用トランジスタのスイッチングを制御しており、

前記第 1 データドライバは、前記第 1 スイッチング用トランジスタを介して前
記 S R A M が有する入力端子及び前記第 1 アドレス電極にデジタル信号を入力し

前記第 2 データドライバは、前記第 2 スイッチング用トランジスタを介して前
記 S R A M が有する出力端子及び前記第 2 アドレス電極にデジタル信号を入力し

前記入力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記出力端子から出力されており、

前記出力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記入力端子から出力されており、

前記複数の画素の各ラインの画素において、1フレーム期間中に $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が順に出現し、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、 j 個の表示期間は黒表示期間であり、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、前記黒表示期間以外の表示期間において、前記デジタル信号によって白表示または黒表示が選択され、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が全て出現した後、再び前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が順に出現し、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、前記黒表示期間以外の表示期間を短い順に並べたときの長さの比は、 $2^0:2^1:\dots$ 、 $2^{(n-1)}$ で表されることを特徴とする空間光変調装置。

【請求項4】

第1データドライバと、第2データドライバと、スキヤンドライバと、複数の第1走査線と、複数の第2走査線と、複数の第1データ線と、複数の第2データ線とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第1スイッチング用トランジスタと、第2スイッチング用トランジスタと、SRAMと、第1アドレス電極と、第2アドレス電極とをそれぞれ有し、

前記スキヤンドライバから前記複数の第1走査線及び前記複数の第2走査線に入力される走査信号によって、前記第1スイッチング用トランジスタ及び第2スイッチング用トランジスタのスイッチングが制御されており、

前記第1データドライバから前記複数の第1データ線に入力されたデジタル信

号は、前記第 1 スイッチング用トランジスタを介して前記 S R A M が有する入力端子及び前記第 1 アドレス電極に入力されており、

前記第 2 データドライバから前記複数の第 2 データ線に入力されたデジタル信号は、前記第 2 スイッチング用トランジスタを介して前記 S R A M が有する出力端子及び前記第 2 アドレス電極に入力されており、

前記入力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記出力端子から出力され、

前記出力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記入力端子から出力され、

前記複数の画素の各ラインの画素において、1 フレーム期間中に $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が順に出現し、

前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、 j 個の表示期間は黒表示期間であり、

前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、前記黒表示期間以外の表示期間において、前記デジタル信号によって白表示または黒表示が選択され、

前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が全て出現した後、再び前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が順に出現し、

前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、前記黒表示期間以外の表示期間を短い順に並べたときの長さの比は、 $2^0 : 2^1 : \dots$ 、 $2^{(n-1)}$ で表されることを特徴とする空間光変調装置。

【請求項 5】

請求項 3 または請求項 4 において、前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ は、 $(n + j)$ 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び $T_{a(n+j)}$ において画素にデジタル信号が入力されてから、前記 $(n + j)$ 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び $T_{a(n+j)}$ の次に出現する書き込み期間において画素にデジタル信号が入力されるまでの期間であることを特徴とする空間光変調装置。

【請求項 6】

請求項 5 において、前記 $(n + j)$ 個の書き込み期間 $T a 1$ 、 $T a 2$ 、…及び $T a (n + j)$ のうち、任意の書き込み期間 $T a i$ は、前記任意の書き込み期間 $T a i$ の 2 つ前に出現した書き込み期間及び前記任意の書き込み期間 $T a i$ の 2 つ後に出現した書き込み期間と重なっていないことを特徴とする空間光変調装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、前記複数の画素はそれぞれマイクロミラーを有していることを特徴とする空間光変調装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記 S R A M は 2 つの p チャネル型トランジスタと 2 つの n チャネル型トランジスタとを有していることを特徴とする空間光変調装置。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記 S R A M は 2 つの p チャネル型トランジスタと 2 つの抵抗とを有していることを特徴とする空間光変調装置。

【請求項 1 0】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記 S R A M は 2 つの n チャネル型トランジスタと 2 つの抵抗とを有していることを特徴とする空間光変調装置。

【請求項 1 1】

請求項 1 乃至請求項 1 0 のいずれか 1 項に記載の前記空間光変調装置を有することを特徴とするプロジェクター。

【請求項 1 2】

画素部を有する空間光変調装置の駆動方法であって、
前記画素部は複数の画素を有し、
前記複数の画素は、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有し

前記複数の画素の各ラインの画素において、1フレーム期間中に $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が順に出現し、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ のうち、 j 個の表示期間は黒表示期間であり、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ のうち、前記黒表示期間以外の表示期間において、前記デジタル信号によって白表示または黒表示が選択され、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が全て出現した後、再び前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が順に出現し、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ のうち、前記黒表示期間以外の表示期間を短い順に並べたときの長さの比は、 $2^0:2^1:\dots$ 、 $2^{(n-1)}$ で表されることを特徴とする空間光変調装置の駆動方法。

【請求項13】

請求項12において、前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ は、 $(n+j)$ 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び $T_a(n+j)$ において画素にデジタル信号が入力されてから、前記 $(n+j)$ 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び $T_a(n+j)$ の次に出現する書き込み期間において画素にデジタル信号が入力されるまでの期間であることを特徴とする空間光変調装置の駆動方法。

【請求項14】

請求項13において、前記 $(n+j)$ 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び $T_a(n+j)$ のうち、任意の書き込み期間 T_{ai} は、前記任意の書き込み期間 T_{ai} の2つ前に出現した書き込み期間及び前記任意の書き込み期間 T_{ai} の2つ後に出現した書き込み期間と重なっていないことを特徴とする空間光変調装置の駆動方法。

【請求項15】

請求項12乃至請求項14のいずれか1項において、前記複数の画素はそれぞれマイクロミラーを有していることを特徴とする空間光変調装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、可変形ミラーデバイス（DMD）に関し、より詳細にはDMDの駆動に関する。

【0002】

【従来の技術】

近年、高輝度かつ高精細な表示用のフラットパネルディスプレイ（FPD）の開発が進められている。FPDは、代表的には液晶ディスプレイ、EL（エレクトロルミネッセンス）ディスプレイ、プラズマディスプレイ等が挙げられる。

【0003】

また上述したFPDの他に、空間光変調装置の1つであるDMD（Digital Micromirror Device）が注目を浴びはじめている。DMDは、特開平5-150173、特開平5-183851、特開平07-240891、特開平8-334709、特開平8-227044、特開平8-051586、特開平8-227044等が、出願人テキサス インスツルメンツ インコーポレイテッドによって出願公開されている。

【0004】

DMDは、シリコン基板上に形成されたCMOS SRAM上に約 $16\mu\text{m} \times 16\mu\text{m}$ のマイクロミラーが $17\mu\text{m}$ ピッチで複数設けられており、それぞれのマイクロミラーがスクリーンの画素に対応している。その数は、SVGAで48万個、XGAで78万6000個、SXGAで130万個にもおよぶ。

【0005】

映像情報を有するデジタルの信号（デジタルビデオ信号）がDMDのSRAMに入力されると、SRAMからの電圧による電界の作用により、マイクロミラーの基板に対する角度が θ だけ変えられる。マイクロミラーの基板に対する角度が θ （ $0 < \theta < 90^\circ$ ）だけ変わると、光源からの光は、マイクロミラーにおいて反射する際に2方向に分離する。2方向に分離された光は、一方は光吸収板（光アブソーバー）に吸収され、もう一方はスクリーンに到達して画像を形成する。

【0006】

図14に、一般的なDMDの画素の構成を概略図で示す。基板901上に複数の画素が設けられており、各画素は、第1アドレス電極902a、第2アドレス電極902b、着地サイト903、マイクロミラー904、ヒンジ905、ヒンジ支持ポスト906をそれぞれ有している。

【0007】

マイクロミラー904は、ヒンジ905を回転軸として基板901に対する角度が θ だけ変えられる。ヒンジ905はヒンジ支持ポスト906により基板901上に固定されている。

【0008】

マイクロミラー904がヒンジ905を回転軸として、基板に対して角度 θ 以上傾いたとき、マイクロミラー904の一部は着地サイト903に接触する。着地サイト903はミラー904と同じ電位に保たれているか、もしくは絶縁性を有している。

【0009】

画素に入力されたデジタルビデオ信号の電位は第1アドレス電極902aに与えられる。またデジタルビデオ信号が、グラウンドの電位を基準として反転させられて、反転デジタルビデオ信号として第2アドレス電極902bに与えられる。

【0010】

マイクロミラー904には一定の電位（基準電位）が与えられている。そして基準電位とデジタルビデオ信号の電位差が、基準電位と反転デジタルビデオ信号との電位差よりも大きい場合、マイクロミラー904は角度 θ だけ第1アドレス電極902a側に傾く。逆に基準電位とデジタルビデオ信号の電位差が、基準電位と反転デジタルビデオ信号との電位差よりも小さい場合、マイクロミラー904は角度 θ だけ第2アドレス電極側902bに傾く。

【0011】

上述した構造を有するDMDを用いたプロジェクターであるDLP (Digital Light Processing) は、液晶を用いたプロジェクターと異なり、偏光板による光

ロスがないばかりか開口率が90%以上と高いため、光利用効率が高い。また一般的な透過型液晶パネルと違い、反射型デバイスのため、画素と画素の隙間、つまりマイクロミラー間の隙間が約 $0.8\mu\text{m}$ と小さく、スクリーンに拡大投射しても高精細画像が容易に得られる。さらにDMDは冷却効率に優れているため薄膜トランジスタを用いた液晶パネルのような熱問題が発生せず、ハイパワーの光源を用いることが可能であるなど、プロジェクターを高輝度化しやすいといった特徴がある。

【0012】

次に図15に、従来のDMDにおける画素の駆動回路について示す。911はデータドライバ、912はスキन्दライバ、914は画素部である。画素部914は複数の複数の画素913を有している。

【0013】

データドライバ911は複数のデータ線918にデジタルビデオ信号を入力しており、スキन्दライバ912は複数の走査線917に走査信号を入力している。図15で示したDMDの場合、1つのデータ線918と1つの走査線917とを有する領域が画素913に相当する。

【0014】

画素913はスイッチング用トランジスタ915と、複数のトランジスタを有するSRAM916とを有している。スイッチング用トランジスタ915のゲート電極は走査線917に接続されている。またスイッチング用トランジスタ915のソース領域とドレイン領域は、一方はデータ線918に、もう一方はSRAM916の入力端子Vin及び第1アドレス電極902aに接続されている。

【0015】

なお本明細書においてトランジスタとは電界効果トランジスタを意味し、スイッチング素子として機能する。

【0016】

SRAM916の出力端子Voutは第2アドレス電極902bに接続されている。またVddhは高電圧側の電源を意味し、VSSは低電圧側の電源を意味する。

【0017】

【発明が解決しようとする課題】

図15に示したDMDにおいて、スキヤンドライバ912から走査線917に
入力される走査信号によって、スイッチング用トランジスタ915が選択される。
なお本明細書において、配線を選択するとは、該配線にゲート電極が接続され
たトランジスタを全てオンの状態にすることを意味する。

【0018】

そしてデータドライバ911からデータ線918にデジタルビデオ信号が入力
される。入力されたデジタルビデオ信号は、オンの状態のスイッチング用ラン
ジスタ915を介してSRAM916の入力端子V_in及び第1アドレス電極9
02aに入力される。SRAM916の入力端子V_inに入力されたデジタルビ
デオ信号は、グラウンドの電位を基準として反転し、反転デジタルビデオ信号と
して出力端子V_outから出力され、第2アドレス電極902bに入力される。

【0019】

第1アドレス電極902aと第2アドレス電極902bに、デジタルビデオ信
号または反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号
の有する「1」または「0」の情報によって、画素が有するマイクロミラー90
4の基板に対する角度が選択される。基板に対する角度が選択されると、光源か
らの光がスクリーンに照射されるか、光吸収板に照射されかが選択される。

【0020】

そして順に画素部914の全ての画素913にデジタルビデオ信号が入力され
、マイクロミラーの角度が選択される。なお本明細書において、画素913にデ
ジタルビデオ信号が入力されるとは、画素913が有するスイッチング用ラン
ジスタ915のソース領域またはドレイン領域にデジタルビデオ信号が入力され
ることを意味する。

【0021】

そして再び同じ画素にデジタルビデオ信号が入力されると、再びマイクロミラ
ーの角度が選択される。

【0022】

次に、従来のDMDの時分割階調表示について図16を用いて説明する。図16において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【0023】

従来のDMDで用いられてきた時分割階調表示では、1つのフレーム期間に複数のサブフレーム期間が設けられている。

【0024】

図16では1フレーム期間中に n 個のサブフレーム期間が設けられている例を示している。そして n 個のサブフレーム期間のそれぞれにおいて、マイクロミラーの角度をデジタルビデオ信号によって選択することで、光源からの光をスクリーン、または光吸収板に照射させる。以下、スクリーンに光が照射されることを白表示、光吸収板に照射されることを黒表示と呼ぶ。

【0025】

1個目から n 個目のサブフレームは、1ビット目から n ビット目のデジタルビデオ信号によって白表示か黒表示かがそれぞれ選択される。

【0026】

n 個のサブフレーム期間において白表示または黒表示が選択されることで、1フレーム期間中における白表示の期間と黒表示の期間の長さを制御することができる。その結果、1フレーム期間で形成される画像の階調を制御することができる。

【0027】

しかし、図16で示した従来のDMDの時分割階調表示では、表示する画像の階調数を高くしていくとサブフレーム期間の長さが短くなるため、画素へのデジタルビデオ信号の書き込む速度が対応しきれないという問題が生じる。この問題について、以下に図17を用いて詳しく説明する。

【0028】

図17において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。また t_1 は全ての画素に i ビット目のデジタルビデオ信号が書き込まれる期間の長さを示しており、 t_2 はサブフレーム期間 $S F i$ の長さを示してい

る。

【0029】

図17に示した駆動の場合、 $t_1 \leq t_2$ となっており、 i 番目のサブフレーム期間 SF_i が終了し次の $(i+1)$ 番目のサブフレーム期間 $SF(i+1)$ が開始されるまでに、全ての画素に i ビット目のデジタルビデオ信号が書き込まれている。よって i ビット目のデジタルビデオ信号の画素へ書き込みと、 $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みとが、同じ画素部において並行して行われることがない。

【0030】

しかし階調数が高くなり、 i 番目のサブフレーム期間 SF_i が短くなると、 $t_1 > t_2$ となる。この場合、 i 番目のサブフレーム期間 SF_i が終了しても画素への i ビット目のデジタルビデオ信号の書き込みが終了しないということが起きる。つまり i ビット目のデジタルビデオ信号の書き込みと並行して、 $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みを行わなくてはならない。図15で示した構成のDMDでは、 $t_1 > t_2$ となる駆動は不可能であった。

【0031】

上述した問題に鑑み、階調数の高い画像の表示を行うことが可能な、新しい構成のDMDが所望されている。

【0032】

【課題を解決するための手段】

本発明者らは、異なる走査線にゲート電極を接続した2つのスイッチング用トランジスタを各画素に設け、別個にそのスイッチングを制御する構成を考案した。本明細書において、2つのスイッチング用トランジスタを第1スイッチング用トランジスタ、第2スイッチング用トランジスタと呼び、この2つを総称してスイッチング用トランジスタと呼ぶ。

【0033】

第1スイッチング用トランジスタと第2スイッチング用トランジスタを個別に制御することで、同じ画素部において、 i ビット目のデジタルビデオ信号を画素へ順に入力するのと並行して、 $(i+1)$ ビット目のデジタルビデオ信号を画素

へ順に入力することができる。

【 0 0 3 4 】

図 1 を用いて本発明の駆動方法について説明する。図 1 において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。また、 t_1 は全ての画素に i ビット目のデジタルビデオ信号が書き込まれる期間の長さを示しており、 t_2 は各ラインの画素が i ビット目のデジタルビデオ信号により表示を行う表示期間 T_{ri} の長さを示している。図 1 (A) と図 1 (B) は共に $t_1 > t_2$ の場合について示している。

【 0 0 3 5 】

図 1 (A) の駆動において、第 1 スイッチング用トランジスタをオンの状態にし、 i ビット目のデジタルビデオ信号を画素に書き込むことで、表示期間 T_{ri} が開始される。

【 0 0 3 6 】

次に、表示期間 T_{ri} が開始されてから時間 t_2 が経過した時に、第 2 スイッチング用トランジスタをオンの状態にし、 $(i+1)$ ビット目のデジタルビデオ信号を画素に書き込む。 $(i+1)$ ビット目のデジタルビデオ信号が書き込まれた画素から順に表示期間 T_{ri} が終了し、表示期間 $T_{r(i+1)}$ となる。

【 0 0 3 7 】

上述した駆動によって、 i ビット目のデジタルビデオ信号と $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みを並行して行うことが可能になり、表示期間 T_{ri} を全ての画素へデジタルビデオ信号を書き込む期間の長さよりも短くすることが可能になる。

【 0 0 3 8 】

図 1 (B) の駆動において、第 1 スイッチング用トランジスタをオンの状態にし、 i ビット目のデジタルビデオ信号を画素に書き込むことで、表示期間 T_{ri} が開始される。

【 0 0 3 9 】

次に、表示期間 T_{ri} が開始されてから時間 t_2 が経過した時に、第 2 スイッチング用トランジスタをオンの状態にし、画素を黒表示にする信号（非表示信号

) を画素に書き込む。非表示信号が書き込まれた画素から順に表示期間 T_{ri} が終了し、黒表示期間 T_{ri} となる。

【0040】

黒表示期間 T_{ri} が開始されてから時間 t_3 が経過した時に、再び第1スイッチング用トランジスタがオンの状態になり、 $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みが開始される。 $(i+1)$ ビット目のデジタルビデオ信号の画素への書き込みが開始されると同時に黒表示期間 T_{ri} が終了し、表示期間 $T_{r(i+1)}$ が開始される。

【0041】

次に、表示期間 $T_{r(i+1)}$ が開始されてから時間 t_4 が経過した時に、第2スイッチング用トランジスタをオンの状態にし、 $(i+2)$ ビット目のデジタルビデオ信号を画素に書き込む。 $(i+2)$ ビット目のデジタルビデオ信号が書き込まれた画素から順に表示期間 $T_{r(i+1)}$ が終了し、表示期間 $T_{r(i+2)}$ となる。

【0042】

各ラインの画素における黒表示期間 T_{ri} の長さ t_3 は、 i ビット目のデジタルビデオ信号を画素に書き込む期間と、 $(i+2)$ ビット目のデジタルビデオ信号を画素に書き込む期間とが重ならないような長さであることが重要である。つまり $t_3 \geq t_1 - (t_2 + t_4)$ とすることが重要である。

【0043】

上述した駆動によって、 i ビット目のデジタルビデオ信号と $(i+2)$ ビット目のデジタルビデオ信号の画素への書き込みを並行して行わなくても、表示期間 T_{ri} と $T_{r(i+1)}$ の長さの和を全ての画素へ i ビット目のデジタルビデオ信号を書き込む期間の長さよりも短くすることが可能になる。

【0044】

なお図1(B)では表示期間 T_{ri} の直後に黒表示期間 T_{ri} を設ける構成を示しているが、本発明はこの構成に限定されない。黒表示期間 T_{ri} を設けずに、表示期間 $T_{r(i+1)}$ の直後に黒表示期間 $T_{r(i+1)}$ を設ける構成にしても良い。また黒表示期間 T_{ri} と黒表示期間 $T_{r(i+1)}$ とを両方設ける

構成にしても良い。いずれの場合でも、 i ビット目のデジタルビデオ信号を画素に書き込む期間と、 $(i + 2)$ ビット目のデジタルビデオ信号を画素に書き込む期間とが重ならないような長さに設定することが重要である。

【 0 0 4 5 】

本発明のDMDの時分割階調表示では、従来のDMDの時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【 0 0 4 6 】

以下に、本発明の構成について示す。

【 0 0 4 7 】

本発明によって、

第1データドライバと、第2データドライバと、スキヤンドライバと、画素部とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第1スイッチング用トランジスタと、第2スイッチング用トランジスタと、SRAMと、第1アドレス電極と、第2アドレス電極とをそれぞれ有し、

前記スキヤンドライバは前記第1スイッチング用トランジスタ及び第2スイッチング用トランジスタのスイッチングを制御しており、

前記第1データドライバは、前記第1スイッチング用トランジスタを介して前記SRAMが有する入力端子及び前記第1アドレス電極にデジタル信号を入力し、

前記第2データドライバは、前記第2スイッチング用トランジスタを介して前記SRAMが有する出力端子及び前記第2アドレス電極にデジタル信号を入力し、

前記入力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記出力端子から出力され、

前記出力端子に入力されたデジタル信号はグラウンドの電位を基準として反転

して前記入力端子から出力されていることを特徴とする空間光変調装置が提供される。

【 0 0 4 8 】

本発明によって、

第 1 データドライバと、第 2 データドライバと、スキャンドライバと、複数の第 1 走査線と、複数の第 2 走査線と、複数の第 1 データ線と、複数の第 2 データ線とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第 1 スイッチング用トランジスタと、第 2 スイッチング用トランジスタと、SRAMと、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有し、

前記スキャンドライバから前記複数の第 1 走査線及び前記複数の第 2 走査線に入力される走査信号によって、前記第 1 スイッチング用トランジスタ及び第 2 スイッチング用トランジスタのスイッチングが制御されており、

前記第 1 データドライバから前記複数の第 1 データ線に入力されたデジタル信号は、前記第 1 スイッチング用トランジスタを介して前記SRAMが有する入力端子及び前記第 1 アドレス電極に入力され、

前記第 2 データドライバから前記複数の第 2 データ線に入力されたデジタル信号は、前記第 2 スイッチング用トランジスタを介して前記SRAMが有する出力端子及び前記第 2 アドレス電極に入力され、

前記入力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記出力端子から出力され、

前記出力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記入力端子から出力されていることを特徴とする空間光変調装置が提供される。

【 0 0 4 9 】

本発明によって、

第 1 データドライバと、第 2 データドライバと、スキャンドライバと、画素部とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第 1 スイッチング用トランジスタと、第 2 スイッチング用トランジスタと、SRAMと、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有し、

前記スキャンドライバは前記第 1 スイッチング用トランジスタ及び第 2 スイッチング用トランジスタのスイッチングを制御しており、

前記第 1 データドライバは、前記第 1 スイッチング用トランジスタを介して前記 SRAM が有する入力端子及び前記第 1 アドレス電極にデジタル信号を入力し

、
前記第 2 データドライバは、前記第 2 スイッチング用トランジスタを介して前記 SRAM が有する出力端子及び前記第 2 アドレス電極にデジタル信号を入力し

、
前記入力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記出力端子から出力されており、

前記出力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記入力端子から出力されており、

前記複数の画素の各ラインの画素において、1 フレーム期間中に $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が順に出現し、

前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、 j 個の表示期間は黒表示期間であり、

前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、前記黒表示期間以外の表示期間において、前記デジタル信号によって白表示または黒表示が選択され、

前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が全て出現した後、再び前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ が順に出現し、

前記 $(n + j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_{r(n+j)}$ のうち、前記黒表示期間以外の表示期間を短い順に並べたときの長さの比は、 $2^0 : 2^1 : \dots$ 、 $2^{(n-1)}$ で表されることを特徴とする空間光変調装置が提供される。

【 0 0 5 0 】

本発明によって、

第 1 データドライバと、第 2 データドライバと、スキヤンドライバと、複数の第 1 走査線と、複数の第 2 走査線と、複数の第 1 データ線と、複数の第 2 データ線とを有する空間光変調装置であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第 1 スイッチング用トランジスタと、第 2 スイッチング用トランジスタと、SRAMと、第 1 アドレス電極と、第 2 アドレス電極とをそれぞれ有し、

前記スキヤンドライバから前記複数の第 1 走査線及び前記複数の第 2 走査線に入力される走査信号によって、前記第 1 スイッチング用トランジスタ及び第 2 スイッチング用トランジスタのスイッチングが制御されており、

前記第 1 データドライバから前記複数の第 1 データ線に入力されたデジタル信号は、前記第 1 スイッチング用トランジスタを介して前記SRAMが有する入力端子及び前記第 1 アドレス電極に入力されており、

前記第 2 データドライバから前記複数の第 2 データ線に入力されたデジタル信号は、前記第 2 スイッチング用トランジスタを介して前記SRAMが有する出力端子及び前記第 2 アドレス電極に入力されており、

前記入力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記出力端子から出力され、

前記出力端子に入力されたデジタル信号はグラウンドの電位を基準として反転して前記入力端子から出力され、

前記複数の画素の各ラインの画素において、1 フレーム期間中に $(n + j)$ 個の表示期間 $Tr\ 1$ 、 $Tr\ 2$ 、…及び $Tr\ (n + j)$ が順に出現し、

前記 $(n + j)$ 個の表示期間 $Tr\ 1$ 、 $Tr\ 2$ 、…及び $Tr\ (n + j)$ のうち、 j 個の表示期間は黒表示期間であり、

前記 $(n + j)$ 個の表示期間 $Tr\ 1$ 、 $Tr\ 2$ 、…及び $Tr\ (n + j)$ のうち、前記黒表示期間以外の表示期間において、前記デジタル信号によって白表示または黒表示が選択され、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が全て出現した後、再び前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が順に出現し、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ のうち、前記黒表示期間以外の表示期間を短い順に並べたときの長さの比は、 $2^0:2^1:\dots$ 、 $2^{(n-1)}$ で表されることを特徴とする空間光変調装置が提供される。

【0051】

本発明によって、

画素部を有する空間光変調装置の駆動方法であって、

前記画素部は複数の画素を有し、

前記複数の画素は、第1アドレス電極と、第2アドレス電極とをそれぞれ有し

前記複数の画素の各ラインの画素において、1フレーム期間中に $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が順に出現し、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ のうち、 j 個の表示期間は黒表示期間であり、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ のうち、前記黒表示期間以外の表示期間において、前記デジタル信号によって白表示または黒表示が選択され、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が全て出現した後、再び前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が順に出現し、

前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ のうち、前記黒表示期間以外の表示期間を短い順に並べたときの長さの比は、 $2^0:2^1:\dots$ 、 $2^{(n-1)}$ で表されることを特徴とする空間光変調装置の駆動方法が提供される。

【0052】

本発明は、前記 $(n+j)$ 個の表示期間 T_{r1} 、 T_{r2} 、…及び $T_r(n+j)$ が、 $(n+j)$ 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び $T_a(n+j)$ にお

いて画素にデジタル信号が入力されてから、前記 $(n+j)$ 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び $T_{a(n+j)}$ の次に出現する書き込み期間において画素にデジタル信号が入力されるまでの期間であることを特徴としていても良い。

【0053】

本発明は、前記 $(n+j)$ 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び $T_{a(n+j)}$ のうち、任意の書き込み期間 T_{ai} が、前記任意の書き込み期間 T_{ai} の2つ前に出現した書き込み期間及び前記任意の書き込み期間 T_{ai} の2つ後に出現した書き込み期間と重なっていないことを特徴としていても良い。

【0054】

本発明は、前記複数の画素がそれぞれマイクロミラーを有していることを特徴としていても良い。

【0055】

本発明は、前記SRAMが2つのpチャネル型トランジスタと2つのnチャネル型トランジスタとを有していることを特徴としていても良い。

【0056】

本発明は、前記SRAMが2つのpチャネル型トランジスタと2つの抵抗とを有していることを特徴としていても良い。

【0057】

本発明は、前記SRAMが2つのnチャネル型トランジスタと2つの抵抗とを有していることを特徴としていても良い。

【0058】

本発明には、前記空間光変調装置を有することを特徴とするプロジェクターが含まれる。

【0059】

【発明の実施の形態】

図2に本発明のDMDの回路図を示す。111aは第1データドライバ、111bは第2データドライバ、112はスキヤンドライバ、114は画素部である。画素部114は複数の画素113を有している。なお第1データドライバ111aと第2データドライバ111bとを総称してデータドライバ111と呼ぶ。

【 0 0 6 0 】

なお本実施の形態では、スキヤンドライバ 1 1 2 を 1 つ有する構成を示しているが、本発明はこれに限定されない。スキヤンドライバ 1 1 2 を 2 つ以上有する構成であっても良い。また画素部 1 1 4 とデータドライバ 1 1 1 とスキヤンドライバ 1 1 2 とは、同じ基板上に形成しても良いし、異なる基板上に設けて F P C 、 T A B 等を用いて画素部 1 1 4 に接続する構成にしても良い。

【 0 0 6 1 】

第 1 データドライバ 1 1 1 a は複数の第 1 データ線 1 1 8 a にデジタルビデオ信号を入力している。第 2 データドライバ 1 1 1 b は複数の第 2 データ線 1 1 8 b にデジタルビデオ信号を入力している。そして、スキヤンドライバ 1 1 2 は複数の第 1 走査線 1 1 7 a と第 2 走査線 1 1 7 b に走査信号を入力している。

【 0 0 6 2 】

図 1 で示した DMD の場合、 1 つの第 1 データ線 1 1 8 a と、 1 つの第 2 データ線 1 1 8 b と、 1 つの第 1 走査線 1 1 7 a と、 1 つの第 2 走査線 1 1 7 b とを有する領域が画素 1 1 3 に相当する。

【 0 0 6 3 】

画素 1 1 3 は第 1 スイッチング用トランジスタ 1 1 5 a と、第 2 スイッチング用トランジスタ 1 1 5 b と、複数のトランジスタを有する S R A M 1 1 6 とを有している。第 1 スイッチング用トランジスタ 1 1 5 a のゲート電極は第 1 走査線 1 1 7 a に接続されている。また第 2 スイッチング用トランジスタ 1 1 5 b のゲート電極は第 2 走査線 1 1 7 b に接続されている。

【 0 0 6 4 】

第 1 スイッチング用トランジスタ 1 1 5 a と第 2 スイッチング用トランジスタ 1 1 5 b はシングルゲートでも良いし、ダブルゲートやトリプルゲートのようなマルチゲート構造を有していても良い。また、第 1 スイッチング用トランジスタ 1 1 5 a と第 2 スイッチング用トランジスタ 1 1 5 b は n チャネル型トランジスタであっても良いし、 p チャネル型トランジスタであっても良い。

【 0 0 6 5 】

第 1 スイッチング用トランジスタ 1 1 5 a のソース領域とドレイン領域は、一

方は第1データ線118aに、もう一方はSRAM116の入力端子Vin及び第1アドレス電極102aに接続されている。

【0066】

第2スイッチング用トランジスタ115bのソース領域とドレイン領域は、一方は第2データ線118bに、もう一方はSRAM116の出力端子Vout及び第2アドレス電極102bに接続されている。

【0067】

SRAM116は、入力端子における電位と出力端子における電位とが、グラウンドを基準として反転するような構成を有していれば良い。よって本発明において、上記条件を満たす構成を有していればどのようなSRAMを用いても良い。Vddhは高電圧側の電源を意味し、VSSは低電圧側の電源を意味する。

【0068】

また図2において図示はしていないが、各画素ごとに第1アドレス電極102aと第2アドレス電極102b上にマイクロミラーが設けられている。マイクロミラーは第1アドレス電極102a及び第2アドレス電極102bに接触しないように設けられている。

【0069】

次に図2に示したDMDの駆動について、図3を用いて説明する。図3において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【0070】

図2に示したDMDにおいて書き込み期間Ta1が開始される。書き込み期間Ta1が開始されると、スキヤンドライバ112から第1走査線117aに入力される走査信号によって、1ライン目の画素の第1スイッチング用トランジスタ115aが選択される。なお本明細書において、配線を選択するとは、該配線にゲート電極が接続されたトランジスタが全てオンの状態にあることを意味する。また1ライン目の画素とは、1ライン目の第1走査線117aと第2走査線117bとにゲート電極がそれぞれ接続された第1スイッチング用トランジスタ115aと第2スイッチング用トランジスタ115bとを有する画素である。

【0071】

そして第1データドライバ111aから第1データ線118aに1ビット目のデジタルビデオ信号が入力される。入力された1ビット目のデジタルビデオ信号は、オンの状態の第1スイッチング用トランジスタ115aを介して第1アドレス電極102a及びSRAM116の入力端子V_{in}に入力される。SRAM116の入力端子V_{in}に入力された1ビット目のデジタルビデオ信号は、グラウンドの電位を基準として反転し、1ビット目の反転デジタルビデオ信号として出力端子V_{out}から出力され、第2アドレス電極102bに入力される。

【0072】

第1アドレス電極102aと第2アドレス電極102bに、デジタルビデオ信号または反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラーの基板に対する角度が選択される。基板に対する角度が選択されると、光源からの光はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【0073】

そして順に第1走査線117aが選択されて全てのラインの画素113に1ビット目のデジタルビデオ信号が入力される。よって全ての画素のマイクロミラーの角度が選択される。なお本明細書において、画素113にデジタルビデオ信号が入力されることは、画素113が有する第1スイッチング用トランジスタ115aまたは第2スイッチング用トランジスタ115bのソース領域またはドレイン領域にデジタルビデオ信号が入力されることを意味する。

【0074】

全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間T_{a1}である。

【0075】

一方、書き込み期間T_{a1}が終了する前または後に書き込み期間T_{a2}が開始される。書き込み期間T_{a2}が開始されると、スキャンドライバ112から第2走査線117bに入力される走査信号によって、1ライン目の画素の第2スイッチング用トランジスタ115bが選択される。

【0076】

そして第2データドライバ111bから第2データ線118bに2ビット目のデジタルビデオ信号が入力される。入力された2ビット目のデジタルビデオ信号は、オンの状態の第2スイッチング用トランジスタ115bを介して第2アドレス電極102b及びSRAM116の出力端子Voutに入力される。SRAM116の入力端子Voutに入力された2ビット目のデジタルビデオ信号は、グラウンドの電位を基準として反転し、2ビット目の反転デジタルビデオ信号として入力端子Vinから出力され、第1アドレス電極102aに入力される。

【0077】

第1アドレス電極102aと第2アドレス電極102bに、反転デジタルビデオ信号とデジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラーの基板に対する角度が選択される。基板に対する角度が選択されると、光源からの光はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【0078】

そして順に第2走査線117bが選択されて全てのラインの画素113に2ビット目のデジタルビデオ信号が入力される。よって全ての画素のマイクロミラーの角度が選択される。

【0079】

全ての画素に2ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間Ta2である。

【0080】

上記動作はnビット目のデジタルビデオ信号が画素に入力されるまで繰り返される。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間Trは、各ラインの画素ごとに異なる。表示期間Tr1~Trnは、各ラインの画素にデジタルビデオ信号が入力されてから、次のビットのデジタルビデオ信号が同じ画素に入力されるまでの期間である。特に1ライン目の画素の任意の表示期間Trは、任意の書き込み期間が開始されてから次に出現する書き込み期間が開始されるまでの期間と同じである。

【0081】

全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間 (F) と呼ぶ。なお本発明の駆動方法において、フレーム期間 (F) は各ラインの画素ごとに異なっている。最後のラインの画素のフレーム期間は、ほぼ書き込み期間 T_{a1} の長さ分だけ、1ライン目の画素のフレーム期間の開始より遅れて開始される。

【0082】

なお表示期間 T_{rn} が終了すると同時に次のフレーム期間の最初の書き込み期間 T_{a1} が開始され、再び上述した動作を繰り返す。

【0083】

一般に画像を表示するディスプレイは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0084】

また本発明では表示期間 T_r を短い方から順に並べた場合、長さの比が $2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となることが重要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0085】

1フレーム期間中にスクリーンに光が照射された表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示する階調がきまる。例えば、 $n=8$ のとき、全部の表示期間においてスクリーンに光が照射されたときの、画素が表示する明るさを100とすると、長さの比が 2^0 と 2^1 に相当する表示期間においてのみスクリーンに光が照射されたときに、画素は1の階調が表現でき、 2^2 と 2^4 と 2^7 に相当する表示期間においてのみスクリーンに光が照射されたときに、画素は60の階調が表現できる。

【0086】

また、任意の書き込み期間が2つ隣の書き込み期間と互いに重ならないようにすることが重要である。例えば書き込み期間 T_{ai} は、書き込み期間 $T_{a(i+2)}$ 、 $T_{a(i-2)}$ と重ならないようにすることが必要である。

【0087】

また本実施の形態では、連続して出現する書き込み期間において第1走査線117aと第2走査線117bとを順に選択していったが、必ずしも本発明はこの構成に限定されない。隣り合う書き込み期間が重なっている場合、隣り合う書き込み期間の一方において第1走査線を選択し、もう一方の書き込み期間において第2走査線を選択しデジタル信号を書き込む必要がある。しかし隣り合う書き込み期間が重なっていない場合はこの限りではなく、それぞれの書き込み期間において共に第1走査線を選択しても良いし、共に第2走査線を選択しても良い。

【0088】

次に図4を用いて、マイクロミラーの駆動の仕組みについて具体的に説明する。マイクロミラー104は基準電源140に接続されている。基準電源140は常に一定の基準電位に保たれている。図4では説明をわかりやすくするために、基準電位が5Vの時について示したが、本発明において基準電位はこの値に限定されない。基準電位は、デジタルビデオ信号のHiの電位とLoの電位の間電位でなければ、どのような値もとることが可能である。

【0089】

図4(A)では第1アドレス電極102aにデジタルビデオ信号が入力され、第2アドレス電極102bには反転デジタルビデオ信号が入力される。

【0090】

なお図4ではHiのデジタルビデオ信号が+15V、Loのデジタルビデオ信号が-15Vの時について説明したが、本発明はこの数値に限定されない。

【0091】

なおデジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がHi、一方がLoの電圧を有する信号である

【0092】

図4(A)では第1アドレス電極102aにHiのデジタルビデオ信号が入力され、第2アドレス電極102bにLoの反転デジタルビデオ信号が入力されている。この場合、マイクロミラー104と第1アドレス電極102aとの間の電

圧は10Vとなる。また、マイクロミラー104と第2アドレス電極102bとの間の電圧は20Vとなる。よって電界の作用により、マイクロミラー104は基準面から第2アドレス電極102b側に角度 θ だけ傾く。なお、第1及び第2アドレス電極102a、102bにデジタルビデオ信号が入力されていない状態におけるマイクロミラー104が、基準面となる。基準面は基板と並行である。

【0093】

図4(B)では第1アドレス電極102aにLoのデジタルビデオ信号が入力され、第2アドレス電極102bにHiの反転デジタルビデオ信号が入力されている。この場合、マイクロミラー104と第1アドレス電極102aとの間の電圧は20Vとなる。また、マイクロミラー104と第2アドレス電極102bとの間の電圧は10Vとなる。よって電界の作用により、マイクロミラー104は第1アドレス電極102a側に角度 θ だけ傾く。

【0094】

DMDは約15 μ secという高速なスイッチングを行うことが可能であり、時分割階調表示に適している。

【0095】

なお図4では第1アドレス電極102aにデジタルビデオ信号が入力され、第2アドレス電極102bには反転デジタルビデオ信号が入力されているが、逆の場合でも同様に動作を説明することができる。

【0096】

本発明は上述した駆動によって、任意のデジタルビデオ信号と次のデジタルビデオ信号の画素への書き込みを並行して行うことが可能になり、表示期間を全ての画素へデジタルビデオ信号を書き込む期間の長さよりも短くすることが可能になる。

【0097】

つまり、本発明のDMDの時分割階調表示では、従来のDMDの時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【0098】

【実施例】

以下に、本発明の実施例について説明する。

【0099】

(実施例1)

本実施例では、画素が黒表示を行う黒表示期間を設ける駆動方法について、図5を用いて説明する。なお本実施例のDMDは、図2、図4に示した構造を有する。図5において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【0100】

はじめに書き込み期間T a 1において、1ビット目のデジタルビデオ信号が各画素に入力される。なお、本実施例におけるデジタルビデオ信号の画素への入力、実施の形態の場合と同様に行われるので、ここでは詳しい駆動の仕方について説明を省略する。

【0101】

第1アドレス電極102 aと第2アドレス電極102 bに、デジタルビデオ信号または反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラーの基板に対する角度が選択される。基板に対する角度が選択されると、光源からの光はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【0102】

次に書き込み期間T a 1が終了する前に、書き込み期間T a 2が開始される。本実施例において、書き込み期間T a 2には全ての画素が黒表示を行うような情報を有するデジタルの信号（非表示信号）が各画素に入力される。この非表示信号はデジタルビデオ信号とは異なり画像情報を有していない。

【0103】

なお本明細書において、画像情報を有するデジタルビデオ信号、反転デジタルビデオ信号及び画像情報を有さない非表示信号は、共にデジタル信号に含まれる。

【0104】

非表示信号が各画素に入力されると、全ての画素が黒表示の状態となる。よって表示期間 T_{r2} において画素は表示を行わない。本明細書において、画像情報を有さない非表示信号によって画素が黒表示の状態となっている期間を、黒表示期間と呼ぶ。本実施例において表示期間 T_{r2} は黒表示期間である。

【0105】

次に書き込み期間 T_{a2} が終了する前若しくは後に書き込み期間 T_{a3} が開始される。本実施例では書き込み期間 T_{a2} が終了する前に書き込み期間 T_{a3} が開始される。書き込み期間 T_{a3} において、2ビット目のデジタルビデオ信号が各画素に入力される。

【0106】

2ビット目のデジタルビデオ信号が各画素に入力されると、黒表示期間である表示期間 T_{r2} が終了し、表示期間 T_{r3} が開始される。

【0107】

上述した動作は、 n ビット目のデジタルビデオ信号が画素に入力され、全ての表示期間（黒表示期間も含む）が出現するまで繰り返される。

【0108】

全ての表示期間が終了すると1フレーム期間が終了し、1つの画像を表示することができる。出現した黒表示期間の数を j 個とすると、1フレーム期間中に表示期間は $(n+j)$ 個出現することになる。

【0109】

そして1フレーム期間終了後は、再び1ビット目のデジタルビデオ信号が画素に入力され表示期間 T_{r1} となる。そして上述した動作を繰り返す。

【0110】

表示期間 T_{r1} 、 T_{r2} 、 \dots 、 $T_{r(n+j-1)}$ 、 $T_{r(n+j)}$ は、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 $T_{a(n+j-1)}$ 、 $T_{a(n+j)}$ が開始されてから、その次に出現する書き込み期間 T_{a2} 、 T_{a3} 、 \dots 、 $T_{a(n+j)}$ 、 T_{a1} が開始されるまでの期間である。

【0111】

また表示期間 $T_{r1} \sim T_{r(n+j)}$ のうち、黒表示期間以外の表示期間を短い順に並べた場合に、表示期間の長さの比は、 $2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となる。

【 0 1 1 2 】

この黒表示期間以外の表示期間の組み合わせで、 2^n 階調のうち所望の階調表示を行うことができる。1 フレーム期間中における白表示の表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。なお本実施例では、黒表示期間以外の全ての表示期間において白表示を行った場合、画素の輝度が 1 0 0 となる。

【 0 1 1 3 】

また本実施例において、1 フレーム期間中で 1 番長い黒表示期間である表示期間を 1 フレーム期間の最後に設けると、1 番長い黒表示期間と、その次に出現する表示期間との間にフレーム期間の区切れがあるように人間の目に認識させることができる。これによって、中間表示を行ったときに隣り合うフレーム期間同士で表示期間が隣接することによって起きていた表示むらを、人間の目に認識させずらくすることができる。

【 0 1 1 4 】

また、任意の書き込み期間が 2 つ隣の書き込み期間と互いに重ならないように、黒表示期間の長さを定めることが重要である。例えば書き込み期間 T_{ai} は、書き込み期間 $T_{a(i+2)}$ 、 $T_{a(i-2)}$ と重ならないようにすることが必要である。

【 0 1 1 5 】

また隣り合う書き込み期間が重なっている場合、隣り合う書き込み期間の一方において第 1 走査線を選択し、もう一方の書き込み期間において第 2 走査線を選択しデジタル信号を書き込む必要がある。しかし隣り合う書き込み期間が重なっていない場合はこれに限らず、それぞれの書き込み期間において共に第 1 走査線を選択しても良いし、共に第 2 走査線を選択しても良い。

【 0 1 1 6 】

本発明は上述した駆動によって、任意のデジタルビデオ信号と次のデジタルビ

デオ信号の画素への書き込みを並行して行うことが可能になり、表示期間を全ての画素へデジタルビデオ信号を書き込む期間の長さよりも短くすることが可能になる。

【 0 1 1 7 】

つまり、本発明のDMDの時分割階調表示では、従来のDMDの時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【 0 1 1 8 】

(実施例2)

本実施例では、6ビットのデジタルビデオ信号によって表示を行う駆動方法について、図6を用いて説明する。なお本実施例のDMDは、図2、図4に示した構造を有する。図6において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【 0 1 1 9 】

図2に示したDMDにおいて書き込み期間T a 1が開始され、1ビット目のデジタルビデオ信号が各画素に入力される。なお、本実施例におけるデジタルビデオ信号の画素への入力、実施の形態の場合と同様に行われるので、ここでは詳しい駆動の仕方について説明を省略する。

【 0 1 2 0 】

第1アドレス電極102aと第2アドレス電極102bに、デジタルビデオ信号または反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラーの基板に対する角度が選択される。基板に対する角度が選択されると、光源からの光はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【 0 1 2 1 】

一方、書き込み期間T a 1が終了する前または後に書き込み期間T a 2が開始され、2ビット目のデジタルビデオ信号が画素に入力される。そして全ての画素のマイクロミラーの角度が選択され、表示が行われる。

【0122】

全ての画素に2ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T_{a2} である。

【0123】

上記動作は6ビット目のデジタルビデオ信号が画素に入力されるまで繰り返される。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間 T_r は、各ラインの画素ごとに異なる。表示期間 $T_{r1} \sim T_{r6}$ は、各ラインの画素にデジタルビデオ信号が入力されてから、次のビットのデジタルビデオ信号が同じ画素に入力されるまでの期間である。特に1ライン目の画素の任意の表示期間 T_r は、任意の書き込み期間が開始されてから次に出現する書き込み期間が開始されるまでの期間と同じである。

【0124】

全ての表示期間 $T_{r1} \sim T_{r6}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間 (F) と呼ぶ。なお本発明の駆動方法において、フレーム期間 (F) は各ラインの画素ごとに異なっている。最後のラインの画素のフレーム期間は、ほぼ書き込み期間 T_{a1} の長さ分だけ、1ライン目の画素のフレーム期間の開始より遅れて開始される。

【0125】

なお表示期間 T_{r6} が終了すると同時に次のフレーム期間の最初の書き込み期間 T_{a1} が開始され、再び上述した動作を繰り返す。

【0126】

本発明では表示期間 T_r を短い方から順に並べた場合、長さの比が $2^0 : 2^1 : 2^2 : \dots : 2^4 : 2^5$ となることが重要である。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。

【0127】

1フレーム期間中にスクリーンに光が照射された表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示する階調がきまる。例えば、全部の表示期間においてスクリーンに光が照射されたときの、画素が表

示する明るさを100とすると、長さの比が 2^0 と 2^1 に相当する表示期間においてのみスクリーンに光が照射されたときに、画素は19の階調が表現でき、 2^2 と 2^4 と 2^5 に相当する表示期間においてのみスクリーンに光が照射されたときに、画素は56の階調が表現できる。

【0128】

また、任意の書き込み期間が2つ隣の書き込み期間と互いに重ならないようにすることが重要である。例えば書き込み期間 Ta_i は、書き込み期間 $Ta(i+2)$ 、 $Ta(i-2)$ と重ならないようにすることが必要である。

【0129】

また本実施例では、連続して出現する書き込み期間において第1走査線117aと第2走査線117bとを順に選択していったが、必ずしも本発明はこの構成に限定されない。隣り合う書き込み期間が重なっている場合、隣り合う書き込み期間の一方において第1走査線を選択し、もう一方の書き込み期間において第2走査線を選択しデジタル信号を書き込む必要がある。しかし隣り合う書き込み期間が重なっていない場合はこの限りではなく、それぞれの書き込み期間において共に第1走査線を選択しても良いし、共に第2走査線を選択しても良い。

【0130】

本発明は上述した駆動によって、任意のデジタルビデオ信号と次のデジタルビデオ信号の画素への書き込みを並行して行うことが可能になり、表示期間を全ての画素へデジタルビデオ信号を書き込む期間の長さよりも短くすることが可能になる。

【0131】

つまり、本発明のDMDの時分割階調表示では、従来のDMDの時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【0132】

(実施例3)

本実施例では、10個の表示期間を用いて8ビットのデジタルビデオ信号によ

り 2^8 階調の表示を行う場合について説明する。なお本実施例のDMDは、図2、図4に示した構造を有する。図7において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【0133】

図2に示したDMDにおいて書き込み期間 T_{a1} が開始され、1ビット目のデジタルビデオ信号が各画素に入力される。なお、本実施例におけるデジタルビデオ信号の画素への入力は、実施の形態の場合と同様に行われるので、ここでは詳しい駆動の仕方について説明を省略する。

【0134】

第1アドレス電極102aと第2アドレス電極102bに、デジタルビデオ信号または反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号の有する「1」または「0」の情報によって、画素が有するマイクロミラーの基板に対する角度が選択される。基板に対する角度が選択されると、光源からの光はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【0135】

一方、書き込み期間 T_{a1} が終了する前または後に書き込み期間 T_{a2} が開始され、2ビット目のデジタルビデオ信号が画素に入力される。そして全ての画素のマイクロミラーの角度が選択され、表示が行われる。

【0136】

全ての画素に2ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T_{a2} である。

【0137】

上記動作は8ビット目のデジタルビデオ信号が画素に入力されるまで繰り返される。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間 T_r は、各ラインの画素ごとに異なる。表示期間 $T_{r1} \sim T_{r10}$ は、各ラインの画素にデジタルビデオ信号が入力されてから、次のビットのデジタルビデオ信号が同じ画素に入力されるまでの期間である。特に1ライン目の画素の任意の表示期間 T_r は、任意の書き込み期間が開始されてから次に出現する書き込み期間が開始されるまでの期間と同じである。

【0138】

全ての表示期間 $Tr1 \sim Tr10$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間 (F) と呼ぶ。なお本発明の駆動方法において、フレーム期間 (F) は各ラインの画素ごとに異なっている。最後のラインの画素のフレーム期間は、ほぼ書き込み期間 $Ta1$ の長さ分だけ、1ライン目の画素のフレーム期間の開始より遅れて開始される。

【0139】

なお表示期間 $Tr6$ が終了すると同時に次のフレーム期間の最初の書き込み期間 $Ta1$ が開始され、再び上述した動作を繰り返す。

【0140】

なお本実施例において、書き込み期間 $Ta6$ 、 $Ta8$ 、 $Ta10$ において画素には、同じビットのデジタルビデオ信号が入力される。本実施例では6ビット目のデジタルビデオ信号が、書き込み期間 $Ta6$ 、 $Ta8$ 、 $Ta10$ において画素に入力されている。

【0141】

また本実施例では、表示期間 $Tr1 \sim Tr10$ のそれぞれの長さの比を、 $Tr9 : Tr7 : Tr5 : Tr3 : Tr1 : Tr2 : Tr4 : (Tr6 + Tr8 + Tr10) = 2^0 : 2^1 : 2^2 : 2^3 : 2^4 : 2^5 : 2^6 : 2^7$ とする。なお表示期間の長さの比はこの順序に限られない。表示期間 $Tr1 \sim Trn$ を短い順に並べた場合に、それぞれの長さの比が $2^0 : 2^1 : \dots : 2^4 : 2^7$ となっていれば良い。

【0142】

よって本実施例では、 $Tr6$ 、 $Tr8$ 、 $Tr10$ の3つの表示期間が1つの表示期間として機能することで、 2^8 階調の表示を行う。そして表示期間 $Tr1 \sim Tr10$ の組み合わせで 2^8 階調のうち所望の階調表示を行うことができる。

【0143】

1フレーム期間中にスクリーンに光が照射された表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示する階調がきまる。例えば、全部の表示期間においてスクリーンに光が照射されたときの、画素が表

示する明るさを100とすると、長さの比が 2^0 と 2^1 に相当する表示期間においてのみスクリーンに光が照射されたときに、画素は19の階調が表現でき、 2^2 と 2^4 と 2^5 と 2^7 と 2^9 に相当する表示期間においてのみスクリーンに光が照射されたときに、画素は55の階調が表現できる。

【0144】

また、任意の書き込み期間が2つ隣の書き込み期間と互いに重ならないようにすることが重要である。例えば書き込み期間 Ta_i は、書き込み期間 $Ta(i+2)$ 、 $Ta(i-2)$ と重ならないようにすることが必要である。

【0145】

また本実施例では、連続して出現する書き込み期間において第1走査線117aと第2走査線117bとを順に選択していったが、必ずしも本発明はこの構成に限定されない。隣り合う書き込み期間が重なっている場合、隣り合う書き込み期間の一方において第1走査線を選択し、もう一方の書き込み期間において第2走査線を選択しデジタル信号を書き込む必要がある。しかし隣り合う書き込み期間が重なっていない場合はこの限りではなく、それぞれの書き込み期間において共に第1走査線を選択しても良いし、共に第2走査線を選択しても良い。

【0146】

本発明は上述した駆動によって、任意のデジタルビデオ信号と次のデジタルビデオ信号の画素への書き込みを並行して行うことが可能になり、表示期間を全ての画素へデジタルビデオ信号を書き込む期間の長さよりも短くすることが可能になる。

【0147】

(実施例4)

本実施例では、7個の表示期間を用いて6ビットのデジタルビデオ信号により 2^6 階調の表示を行う場合について説明する。なお本実施例のDMDは、図2、図4に示した構造を有する。図8において、横軸はタイムスケールを示しており縦軸は走査線の位置を示している。

【0148】

はじめに書き込み期間 Ta_1 において、1ビット目のデジタルビデオ信号が各

画素に入力される。なお、本実施例におけるデジタルビデオ信号の画素への入力
は、実施の形態の場合と同様に行われるので、ここでは詳しい駆動の仕方につい
て説明を省略する。

【 0 1 4 9 】

第 1 アドレス電極 1 0 2 a と第 2 アドレス電極 1 0 2 b に、デジタルビデオ信
号または反転デジタルビデオ信号がそれぞれ入力されると、デジタルビデオ信号
の有する「1」または「0」の情報によって、画素が有するマイクロミラーの基
板に対する角度が選択される。基板に対する角度が選択されると、光源からの光
はスクリーンに照射されるか、光吸収板に照射されるかが選択される。

【 0 1 5 0 】

一方、書き込み期間 T_{a1} が終了する前または後に書き込み期間 T_{a2} が開始
され、2 ビット目のデジタルビデオ信号が画素に入力される。そして全ての画素
のマイクロミラーの角度が選択され、表示が行われる。

【 0 1 5 1 】

全ての画素に 2 ビット目のデジタルビデオ信号が入力されるまでの期間が書き
込み期間 T_{a2} である。2 ビット目のデジタルビデオ信号が画素に入力されると
該画素において表示が行われる。

【 0 1 5 2 】

上記動作は 6 ビット目のデジタルビデオ信号が画素に入力されるまで繰り返さ
れる。なお、各ビットのデジタルビデオ信号によって実際に表示を行う表示期間
 T_r は、各ラインの画素ごとに異なる。表示期間 $T_{r1} \sim T_{r6}$ は、各ラインの
画素にデジタルビデオ信号が入力されてから、次のビットのデジタルビデオ信号
が同じ画素に入力されるまでの期間である。特に 1 ライン目の画素の任意の表示
期間 T_r は、任意の書き込み期間が開始されてから次に出現する書き込み期間が
開始されるまでの期間と同じである。

【 0 1 5 3 】

次に書き込み期間 T_{a6} が終了する前に、書き込み期間 T_{a7} が開始される。
本実施例において、書き込み期間 T_{a7} には全ての画素が黒表示を行うような情
報を有するデジタルの信号（非表示信号）が各画素に入力される。この非表示信

号はデジタルビデオ信号とは異なり画像情報を有していない。

【0154】

非表示信号が各画素に入力されると、全ての画素が黒表示の状態となる。よって表示期間 T_{r7} において画素は表示を行わない。本実施例において表示期間 T_{r7} は黒表示期間である。

【0155】

次に書き込み期間 T_{a7} が終了する前若しくは後に、次のフレーム期間の最初の書き込み期間である書き込み期間 T_{a1} が開始される。次のフレーム期間の T_{a1} が開始されると同時に表示期間 T_{r7} は終了し、1 フレーム期間が終了する。

【0156】

全ての表示期間が終了すると1 フレーム期間が終了し、1 つの画像を表示することができる。出現した黒表示期間の数は1 個なので、1 フレーム期間中に表示期間は7 個出現することになる。

【0157】

そして1 フレーム期間終了後は、再び1 ビット目のデジタルビデオ信号が画素に入力され表示期間 T_{r1} となる。そして上述した動作を繰り返す。

【0158】

表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{r6} 、 T_{r7} は、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{a6} 、 T_{a7} において画素にデジタル信号が書き込まれてから、次に出現する書き込み期間 T_{a2} 、 T_{a3} 、 \dots 、 $T_{a(n+j)}$ 、 T_{a1} において再び該画素にデジタル信号が書き込まれるまでの期間である。

【0159】

また表示期間 $T_{r1} \sim T_{r7}$ のうち、黒表示期間以外の表示期間 $T_{r1} \sim T_{r6}$ を短い順に並べた場合に、表示期間の長さの比は、 $2^0 : 2^1 : 2^2 : \dots : 2^4 : 2^5$ となる。

【0160】

この黒表示期間以外の表示期間の組み合わせで、 2^6 階調のうち所望の階調表示を行うことができる。1 フレーム期間中における白表示の表示期間の長さの総

和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。なお本実施例では、黒表示期間以外の全ての表示期間において白表示を行った場合、画素の輝度が100となる。

【0161】

例えば、全部の表示期間においてスクリーンに光が照射されたときの、画素が表示する明るさを100とすると、長さの比が 2^0 に相当する表示期間においてのみスクリーンに光が照射されたときに、画素は13の階調が表現でき、 2^2 と 2^4 と 2^5 に相当する表示期間においてのみスクリーンに光が照射されたときに、画素は78の階調が表現できる。

【0162】

また本実施例において、1フレーム期間中で1番長い黒表示期間である表示期間を1フレーム期間の最後に設けることで、1番長い黒表示期間と、その次に出現する表示期間との間にフレーム期間の区切れがあるように人間の目に認識させることができる。これによって、中間表示を行ったときに隣り合うフレーム期間同士で表示期間が隣接することによって起きていた表示むらを、人間の目に認識させずらくすることができる。

【0163】

また、任意の書き込み期間が2つ隣の書き込み期間と互いに重ならないように、黒表示期間の長さを定めることが重要である。例えば書き込み期間 Ta_i は、書き込み期間 $Ta(i+2)$ 、 $Ta(i-2)$ と重ならないようにすることが必要である。

【0164】

また隣り合う書き込み期間が重なっている場合、隣り合う書き込み期間の一方において第1走査線を選択し、もう一方の書き込み期間において第2走査線を選択しデジタル信号を書き込む必要がある。しかし隣り合う書き込み期間が重なっていない場合はこれに限らず、それぞれの書き込み期間において共に第1走査線を選択しても良いし、共に第2走査線を選択しても良い。

【0165】

本発明は上述した駆動によって、任意のデジタルビデオ信号と次のデジタルビ

デオ信号の画素への書き込みを並行して行うことが可能になり、表示期間を全ての画素へデジタルビデオ信号を書き込む期間の長さよりも短くすることが可能になる。

【 0 1 6 6 】

つまり、本発明のDMDの時分割階調表示では、従来のDMDの時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

(実施例 5)

本実施例では、DMDの画素の詳しい構成について説明する。

【 0 1 6 7 】

図9に本発明で用いられるDMDのがその一例を示す。104はマイクロミラーであり、マイクロミラー支持ポスト122によりヨーク123の支持ポスト接続部124に接続されている。

【 0 1 6 8 】

ヨーク123はヒンジ105に保持されている。またヒンジ105はポストキャップ125に保持されている。ポストキャップ125はヒンジ支持ポスト106によってバイアスバス129のヒンジ支持ポスト接続部128に接続されている。バイアスバス129は着地サイト103を有している。着地サイト103は絶縁性を有しているか、マイクロミラー104と同じ電位に保たれている。

【 0 1 6 9 】

102aは第1アドレス電極であり、102bは第2アドレス電極である。第1アドレス電極102aは電極支持ポスト130によって、第1アドレス電極パッド126aの電極支持ポスト接続部131に接続されている。また第2アドレス電極102bも電極支持ポスト130によって、第2アドレス電極パッド126bの電極支持ポスト接続部131に接続されている。

【 0 1 7 0 】

第1接続部127aから第1アドレス電極パッド126aに入力されるデジタル信号は、第1アドレス電極102aに入力される。第2接続部127bから第

2 アドレス電極パッド 1 2 6 b に入力されるデジタル信号は、第 2 アドレス電極 1 0 2 b に入力される。

【 0 1 7 1 】

第 1 アドレス電極 1 0 2 a と第 2 アドレス電極 1 0 2 b にデジタル信号が入力されることによって、マイクロミラー 1 0 4 が傾き、白表示または黒表示が選択される。マイクロミラー 1 0 4 が傾くことで、ヨーク片 1 3 2 の一部が着地サイト 1 0 3 に接触しても良い。

【 0 1 7 2 】

本実施例は、実施例 1 ～ 4 と自由に組み合わせて実施することが可能である。

【 0 1 7 3 】

(実施例 6)

本実施例では、本発明において用いられる S R A M の構造について説明する。

【 0 1 7 4 】

図 1 0 に S R A M の回路図の一例を示す。S R A M は p チャネル型トランジスタと n チャネル型トランジスタを 2 つずつ有しており、p チャネル型トランジスタのソース領域は高電圧側の電源 V_{ddh} に、n チャネル型トランジスタのソース領域は低電圧側の電源 V_{ss} に、それぞれ接続されている。1 つの p チャネル型トランジスタと 1 つの n チャネル型トランジスタとが対になっており、1 つの S R A M の中に p チャネル型トランジスタと n チャネル型トランジスタとの対が 2 組存在することになる。

【 0 1 7 5 】

対になった p チャネル型トランジスタと n チャネル型トランジスタは、そのドレイン領域が互いに接続されている。また対になった p チャネル型トランジスタと n チャネル型トランジスタは、そのゲート電極が互いに接続されている。そして互いに一方の対の p チャネル型及び n チャネル型トランジスタのドレイン領域が、もう一方の対の p チャネル型及び n チャネル型トランジスタのゲート電極と同じ電位に保たれている。そして一方の対の p チャネル型及び n チャネル型トランジスタのドレイン領域は入力端子 (V_{in}) に接続されており、もう一方の対の p チャネル型及び n チャネル型トランジスタのドレイン領域は出力端子 (V_o

ut) に接続されている。

【0176】

SRAMはVinにおける電位と、Voutにおける電位とが、グラウンドを基準として反転する。つまり、VinがHiだとVoutはVss相当のLoの信号となり、VinがLoだとVoutはVddh相当のHiの信号となる。

【0177】

次に、本発明で用いられるSRAMの、図10とは異なる構成について説明する。

【0178】

図11(A)に本実施例のSRAMの等価回路図を示す。SRAMはpチャネル型トランジスタと抵抗とを2つずつ有している。1つのpチャネル型トランジスタと1つの抵抗とが対になっており、1つのSRAMの中にpチャネル型トランジスタと抵抗との対が2組存在することになる。そして、pチャネル型トランジスタのソース領域は高電圧側の電源Vddhに、ドレイン領域は抵抗を介して低電圧側の電源Vssにそれぞれ接続されている。

【0179】

pチャネル型トランジスタのドレイン領域は、互いに他のpチャネル型トランジスタのゲート電極と同じ電位に保たれている。そして一方のpチャネル型トランジスタのドレイン領域は入力端子(Vin)に接続されており、もう一方のpチャネル型トランジスタのドレイン領域は出力端子(Vout)に接続されている。

【0180】

SRAMはVinにおける電位と、Voutにおける電位とが、グラウンドを基準として反転する。つまり、VinがHiだとVoutはVss相当のLoの信号となり、VinがLoだとVoutはVddh相当のHiの信号となる。

【0181】

本実施例のSRAMは、抵抗をpチャネル型トランジスタと同時に形成することが可能なので、nチャネル型トランジスタを形成する必要がなく、図10で示したSRAMに比べて行程数を削減することができる。

【0182】

図11(B)に本実施例のSRAMの等価回路図を示す。SRAMはnチャネル型トランジスタと抵抗とを2つづつ有している。1つのnチャネル型トランジスタと1つの抵抗とが対になっており、1つのSRAMの中にnチャネル型トランジスタと抵抗との対が2組存在することになる。そして、nチャネル型トランジスタのドレイン領域は高電圧側の電源 V_{ddh} に、ソース領域は抵抗を介して低電圧側の電源 V_{ss} にそれぞれ接続されている。

【0183】

nチャネル型トランジスタのドレイン領域は、互いに他のnチャネル型トランジスタのゲート電極と同じ電位に保たれている。そして一方のnチャネル型トランジスタのドレイン領域は入力端子(V_{in})に接続されており、もう一方のnチャネル型トランジスタのドレイン領域は出力端子(V_{out})に接続されている。

【0184】

SRAMは V_{in} における電位と、 V_{out} における電位とが、グラウンドを基準として反転する。つまり、 V_{in} がHiだと V_{out} は V_{ss} 相当のLoの信号となり、 V_{in} がLoだと V_{out} は V_{ddh} 相当のHiの信号となる。

【0185】

本実施例のSRAMは、抵抗をnチャネル型トランジスタと同時に形成することが可能なので、pチャネル型トランジスタを形成する必要がなく、図10で示したSRAMに比べて行程数を削減することができる。

【0186】

なお本発明で用いることが可能なSRAMは、上記構成に限定されない。 V_{in} における電位と、 V_{out} における電位とが、グラウンドを基準として反転するような構成を有していれば、どのようなSRAMでも用いることが可能である。

【0187】

(実施例7)

本実施例では、本発明のDMDを用いたプロジェクター(DLP)について説

明する。

【 0 1 8 8 】

図 1 2 (A) に示すのは、DMD を 1 つだけ用いた、1 チップ方式のプロジェクターの概略図である。光源 8 0 1、コンデンサレンズ 8 0 2、8 0 3、回転カラーホイール 8 0 4、DMD 8 0 5、投射レンズ 8 0 6、光吸収板 8 0 7、スクリーン 8 0 8 が図 1 2 に示すように設けられている。

【 0 1 8 9 】

DMD 8 0 5 は、入力されたデジタルビデオ信号が有する情報によって、光源 8 0 1 から発せられる光を、スクリーン 8 0 8 または光吸収板 8 0 7 に照射する。

【 0 1 9 0 】

図 1 2 (B) は回転カラーホイール 8 0 4 の構成を示す図であり、R (赤)、G (緑)、B (青) の 3 色のカラーフィルターを有している。R (赤) の画像と、G (緑) の画像と、B (青) の画像とを連続してスクリーン 8 0 8 上に投影し、1 つのカラー画像を形成している。

【 0 1 9 1 】

図 1 2 (C) は回転カラーホイール 8 0 4 の図 1 2 (B) とは異なる構成を示す図であり、R (赤)、G (緑)、B (青)、W (透明) の 3 色のカラーフィルターを有している。R (赤) の画像と、G (緑) の画像と、B (青) の画像とを連続してスクリーン 8 0 8 上に投影し、1 つのカラー画像を形成している。図 1 2 (C) に示す回転カラーホイールは、図 1 2 (B) に示す回転カラーホイールと異なり W (透明) のカラーフィルターを有している。この透明のカラーフィルターを設けることで、図 1 2 (B) に示す回転カラーホイールよりも輝度を約 3 7 % 上げることが可能になる。

【 0 1 9 2 】

1 チップ方式のプロジェクターは、DMD の数は 1 つで済むため、DLP のコストを抑えることができる。

【 0 1 9 3 】

次に、DMD を 2 つ用いた、2 チップ方式のプロジェクターの概略図を図 1 3

(A) に示す。光源 8 1 1、コンデンサレンズ 8 1 2、回転カラーホイール 8 1 3、赤用 DMD 8 1 4、青・緑用 DMD 8 1 5、色分解／色結合プリズム 8 1 6、投射レンズ 8 1 7、スクリーン 8 1 8 が図 1 3 (A) に示すように設けられている。

【 0 1 9 4 】

なお図 1 3 (A) では光吸収板を図示しなかったが、赤用 DMD 8 1 4 と青・緑用 DMD 8 1 5 のそれぞれについて、光吸収板を設けている。赤用 DMD 8 1 4 と青・緑用 DMD 8 1 5 は、入力されたデジタルビデオ信号が有する情報によって、光源 8 1 1 から発せられる光を、スクリーン 8 1 8 または光吸収板に照射する。

【 0 1 9 5 】

回転カラーホイール 8 1 3 は、マゼンダ、イエローのカラーフィルターを有している。

【 0 1 9 6 】

光源 8 1 1 からの光は常に回転カラーホイール 8 1 3 を通過している。回転カラーホイール 8 1 3 を通過した光のうち、赤色の光は色分解／色結合プリズム 8 1 6 によって分離され、赤用 DMD 8 1 4 に照射されている。赤用 DMD 8 1 4 において反射した光のうち、画像の形成に用いられる光は投射レンズ 8 1 7 に入射する。このように赤色の画像については、1 フレーム期間を用いて時分割階調表示を行っている。

【 0 1 9 7 】

また、青色と緑色の光は、それぞれマゼンダとイエローのカラーフィルターによって分離され、色分解／色結合プリズム 8 1 6 によって青色、緑色用 DMD 8 1 5 に送られる。そしてそれぞれの色について、1 フレーム期間の半分の期間を用いて時分割階調表示を行っている。

【 0 1 9 8 】

次に、DMD を 3 つ用いた、3 チップ方式のプロジェクターの概略図を図 1 3 (B) に示す。光源 8 2 1、コンデンサレンズ 8 2 2、緑用 DMD 8 2 3、赤用 DMD 8 2 4、青用 DMD 8 2 5、色分解／色結合プリズム 8 2 6、投射レンズ

8 2 7、スクリーン 8 2 8 が図 1 3 (A) に示すように設けられている。

【 0 1 9 9 】

なお図 1 3 (B) では光吸収板を図示しなかったが、緑用 DMD 8 2 3、赤用 DMD 8 2 4、青用 DMD 8 2 5 のそれぞれについて光吸収板を設けている。緑用 DMD 8 2 3、赤用 DMD 8 2 4、青用 DMD 8 2 5 は、入力されたデジタルビデオ信号が有する情報によって、光源 8 2 1 から発せられる光を、スクリーン 8 2 8 または光吸収板に照射する。

【 0 2 0 0 】

3 チップ方式のプロジェクターの場合、光源 8 2 1 からの光を RGB それぞれ専用の DMD で反射させ、投射レンズで加法混色してカラー画像を表示する。この方式は、高画質で高効率であり、主にハイエンドプロジェクターに用いられる。

【 0 2 0 1 】

本実施例は、実施例 1 ～ 6 と自由に組み合わせて実施することが可能である。

【 0 2 0 2 】

【発明の効果】

本発明の DMD では、従来の DMD の時分割階調表示に比べて、従来のサブフレーム期間に相当する表示期間の長さを短くすることが可能になる。そのため、デジタルビデオ信号を画素へ書き込む速度が従来と同じであっても、画像の階調数をより高くすることが可能になる。

【図面の簡単な説明】

【図 1】 本発明の DMD の駆動方法を簡単に示す図。

【図 2】 本発明の DMD の画素部と駆動回路を示す図。

【図 3】 本発明の DMD の駆動方法を示す図。

【図 4】 DMD のマイクロミラーの駆動を示す図。

【図 5】 本発明の DMD の駆動方法を示す図。

【図 6】 本発明の DMD の駆動方法を示す図。

【図 7】 本発明の DMD の駆動方法を示す図。

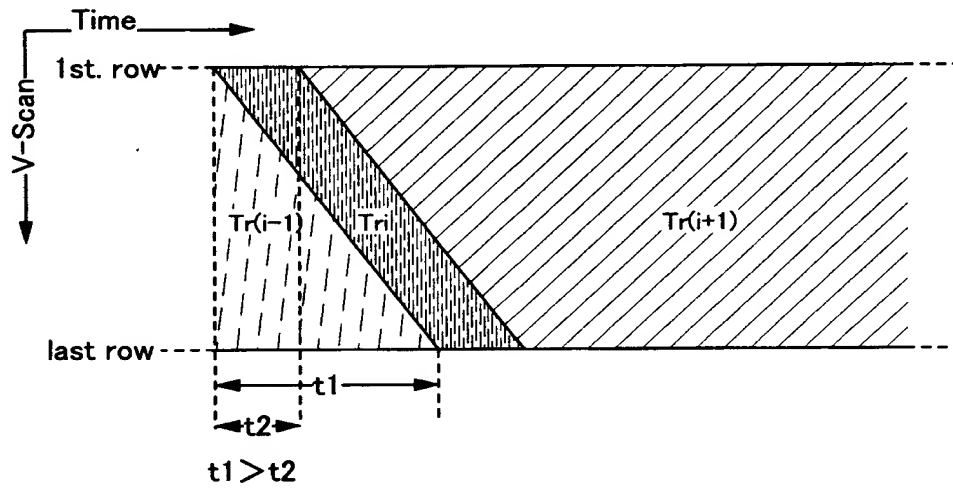
【図 8】 本発明の DMD の駆動方法を示す図。

- 【図 9】 本発明の DMD の構成を示す図。
- 【図 1 0】 S R A M の等価回路図。
- 【図 1 1】 S R A M の等価回路図。
- 【図 1 2】 本発明の DMD を有する D L P 及び回転カラーホイールの図。
- 【図 1 3】 本発明の DMD を有する D L P の図。
- 【図 1 4】 DMD の構成を簡単に示した図。
- 【図 1 5】 従来の DMD の画素部と駆動回路を示す図。
- 【図 1 6】 従来の DMD の駆動方法を簡単に示す図。
- 【図 1 7】 従来の DMD の駆動方法の問題点を説明するための図。

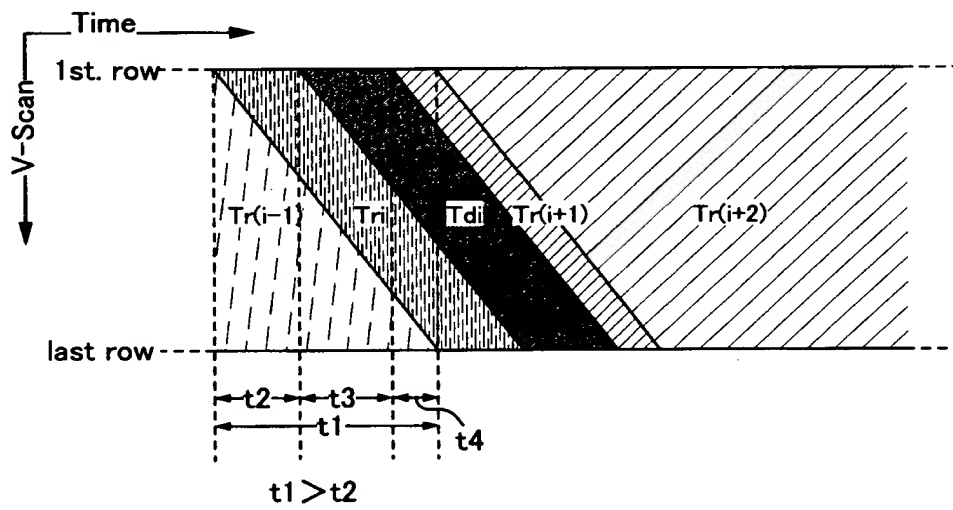
【書類名】 図面

【図 1】

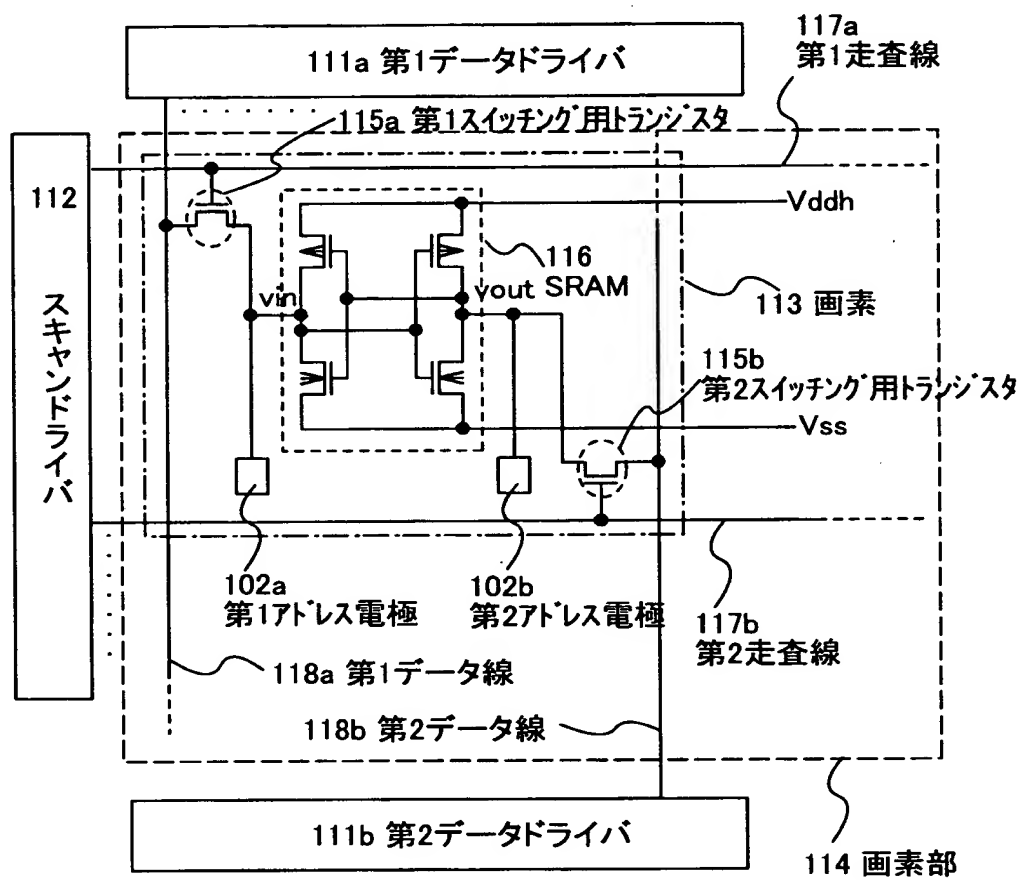
(A)



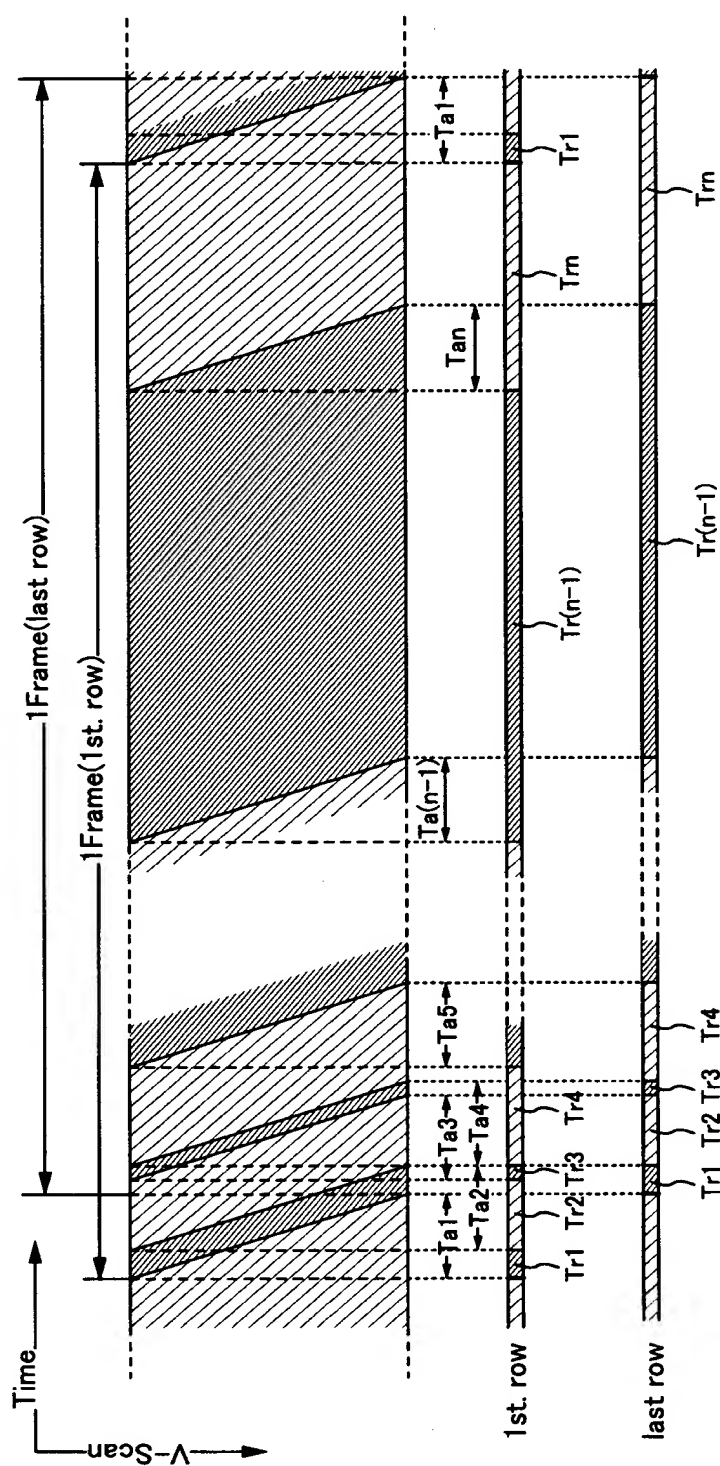
(B)



【図 2】

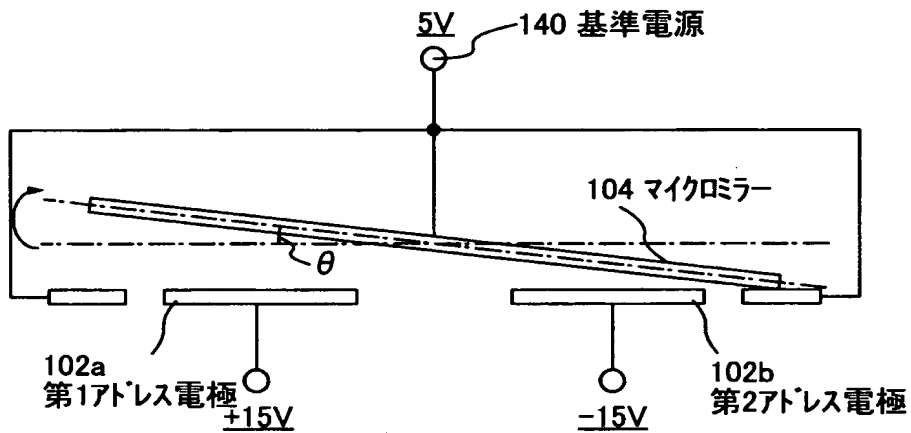


【図 3】

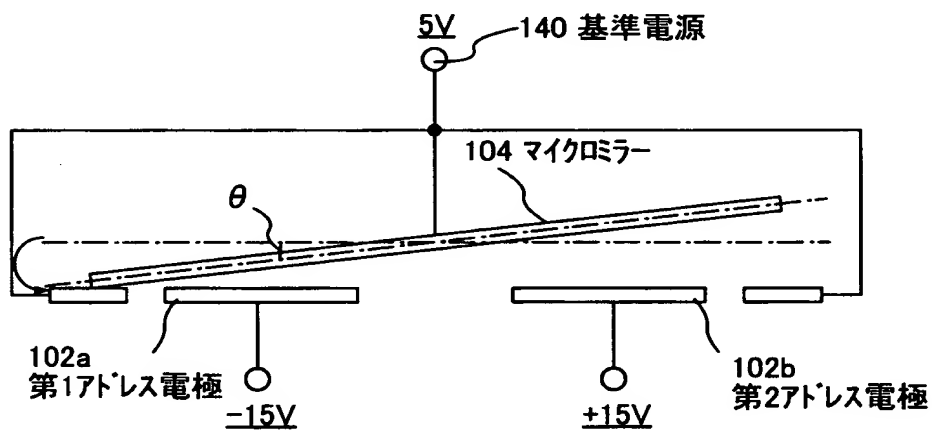


【図4】

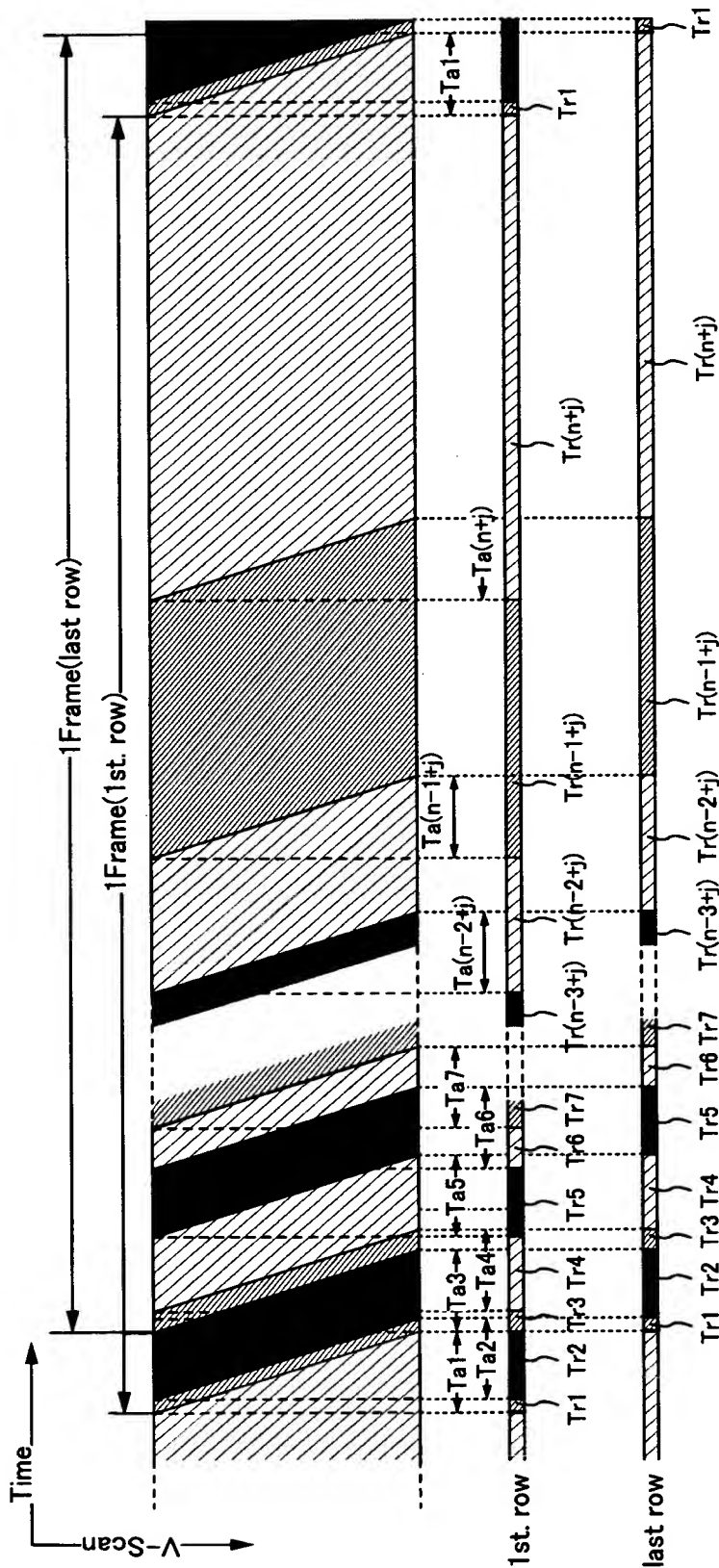
(A)



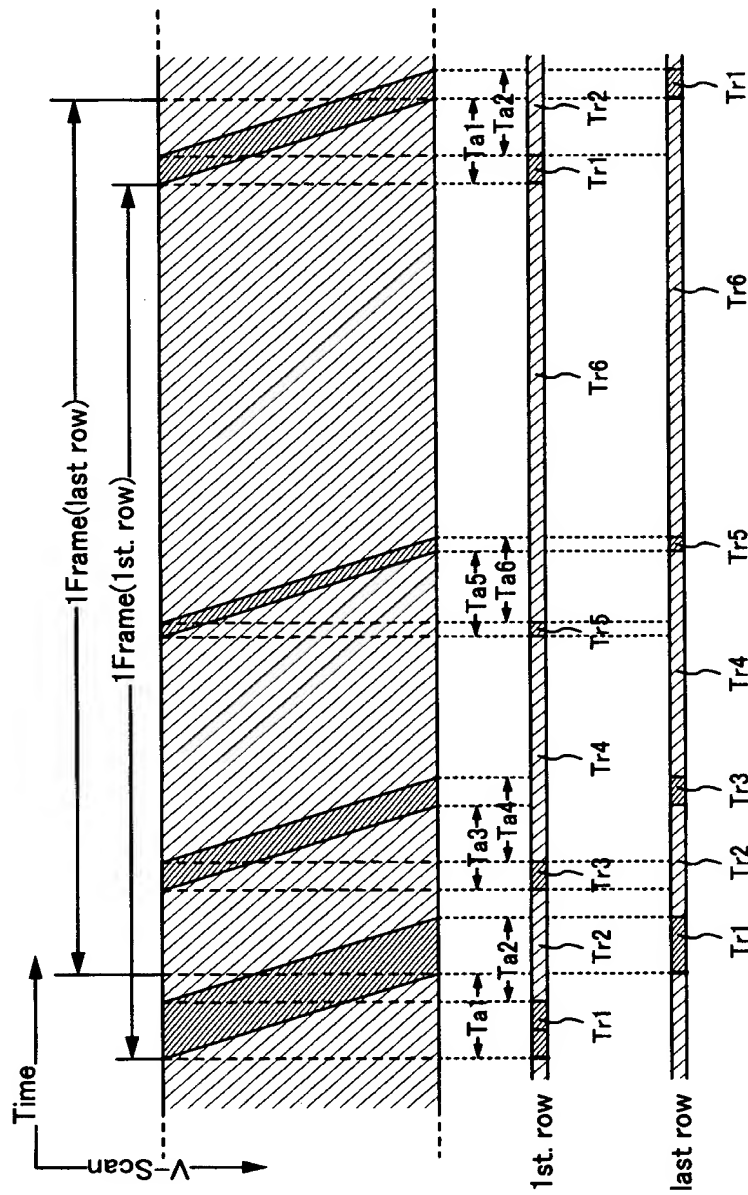
(B)



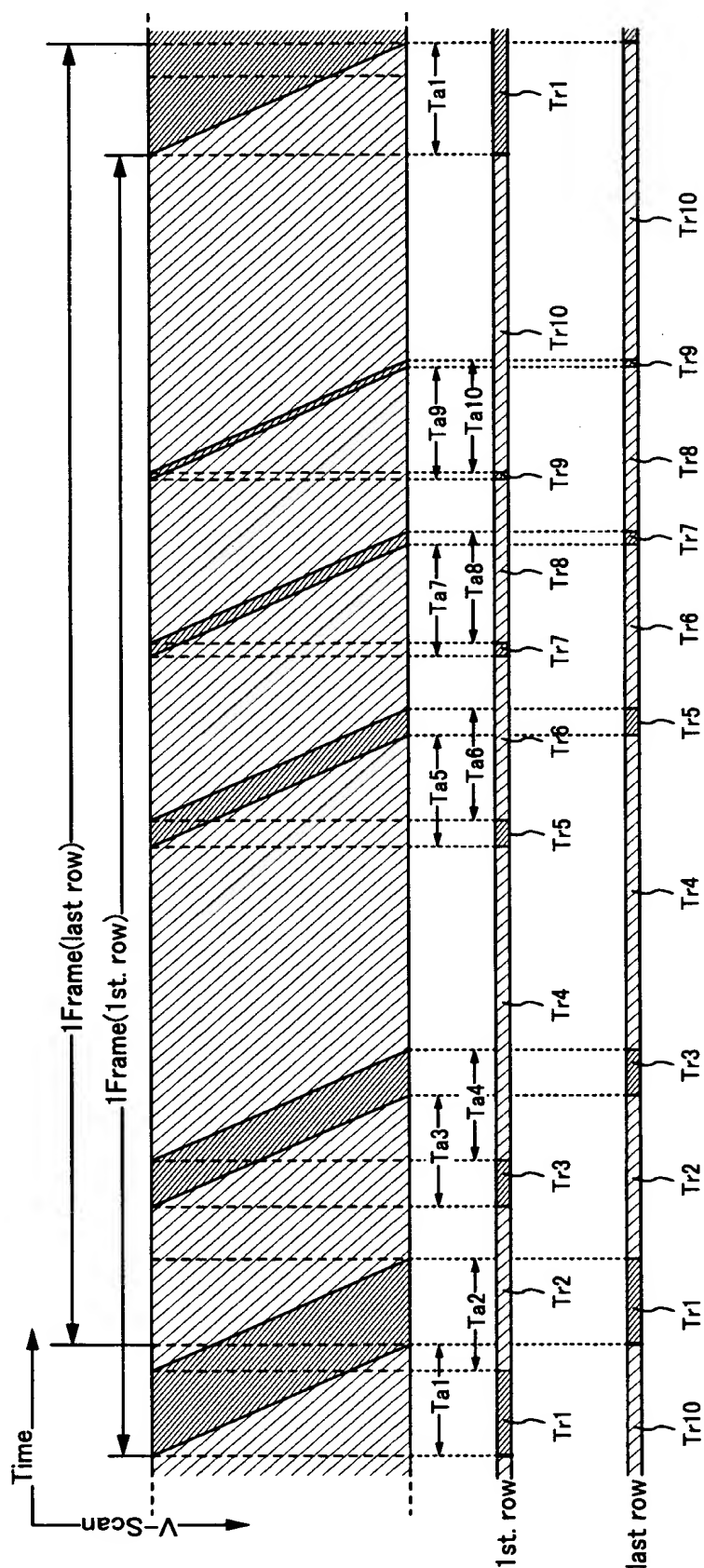
【図 5】



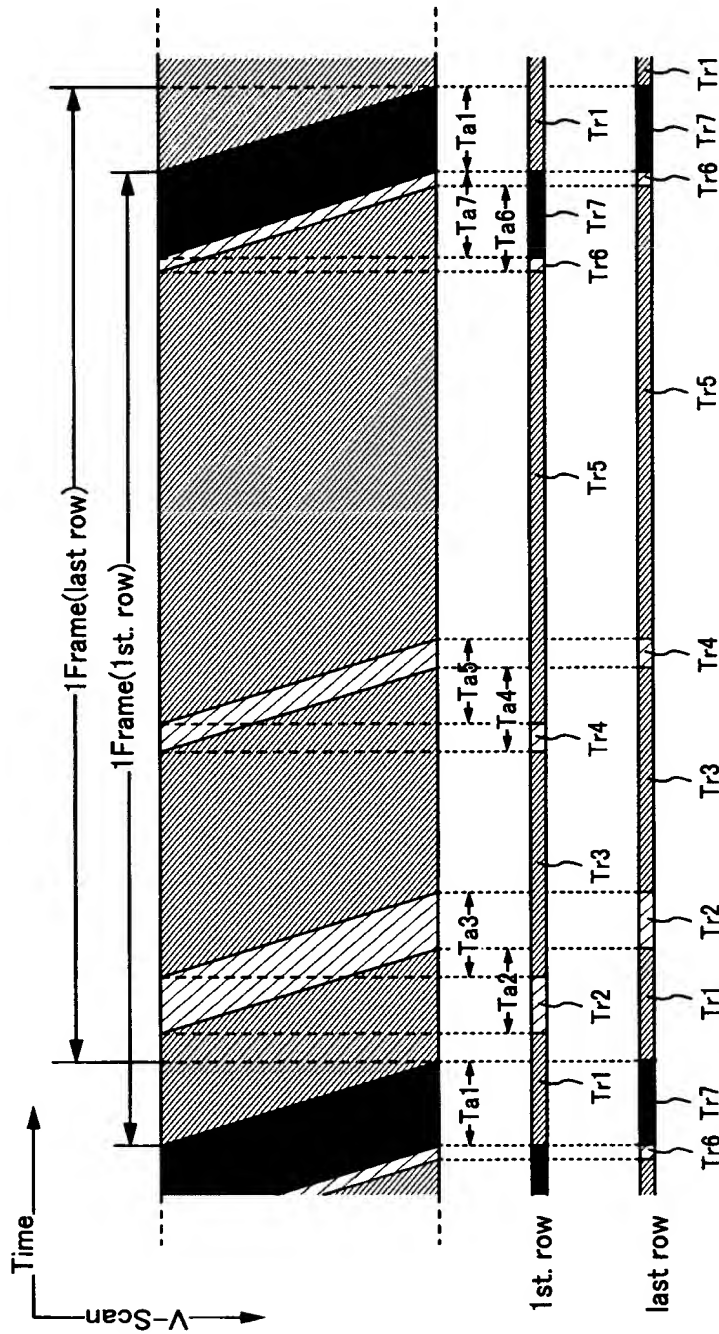
【図 6】



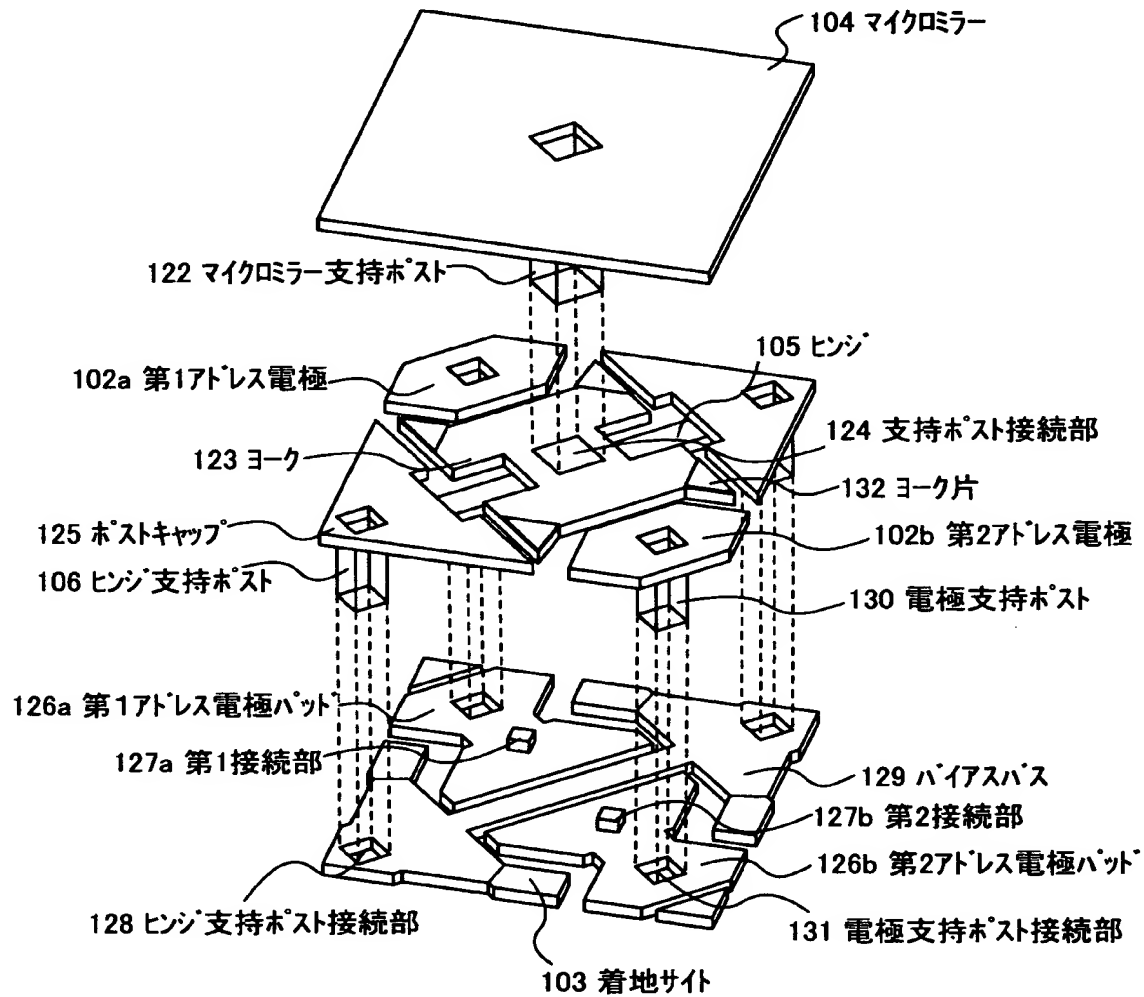
【図 7】



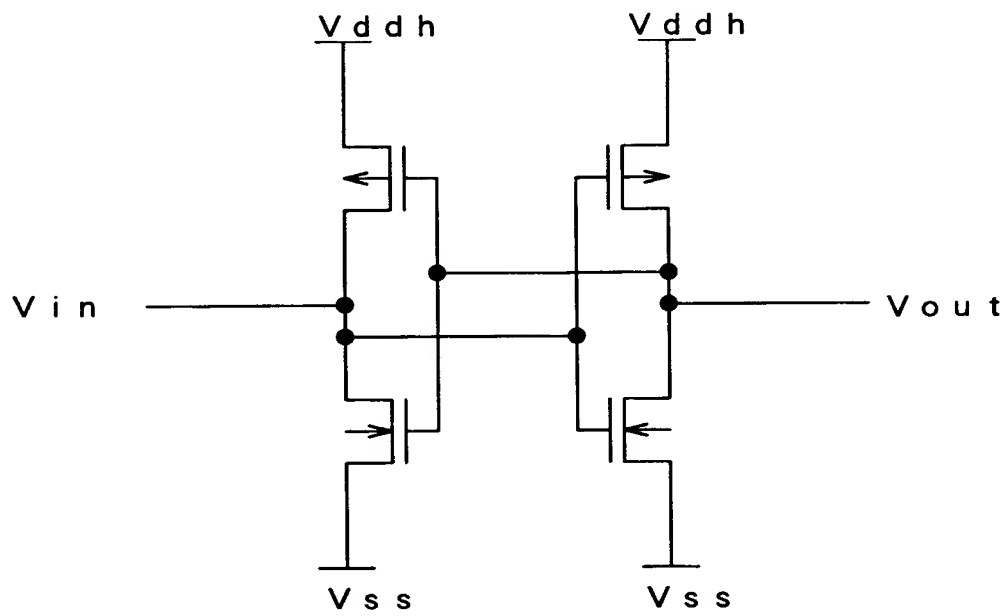
【図 8】



【図9】

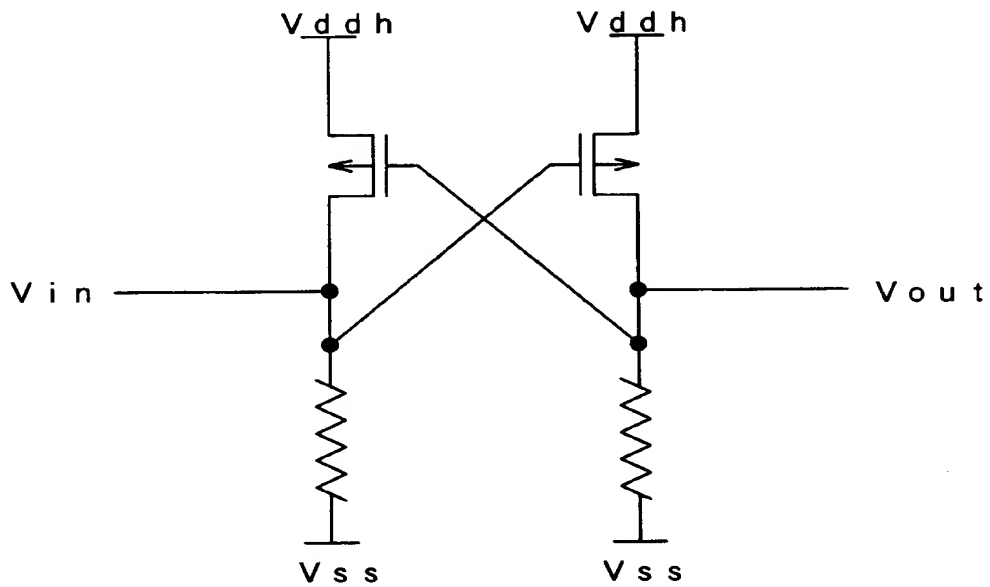


【図 10】

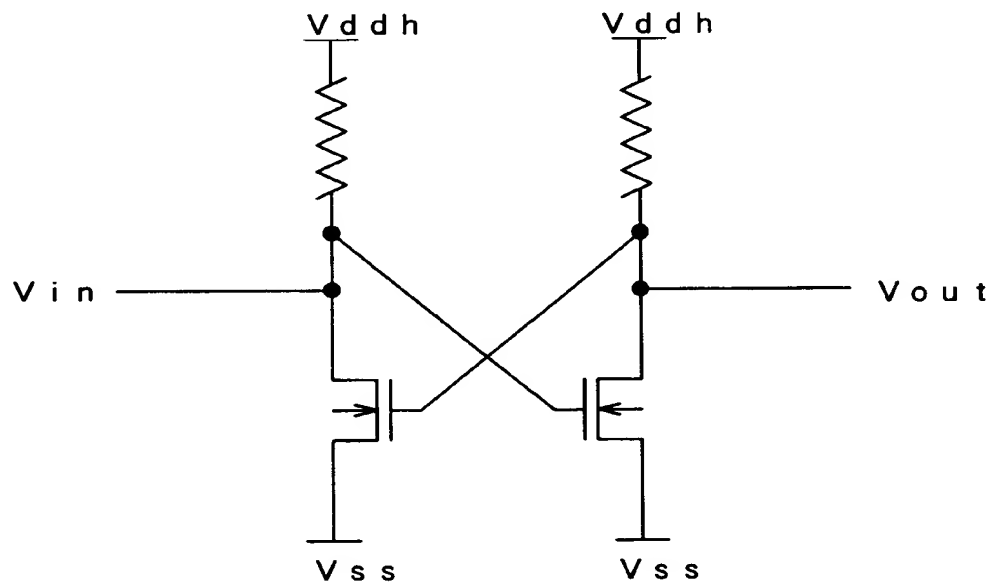


【図 11】

(A)

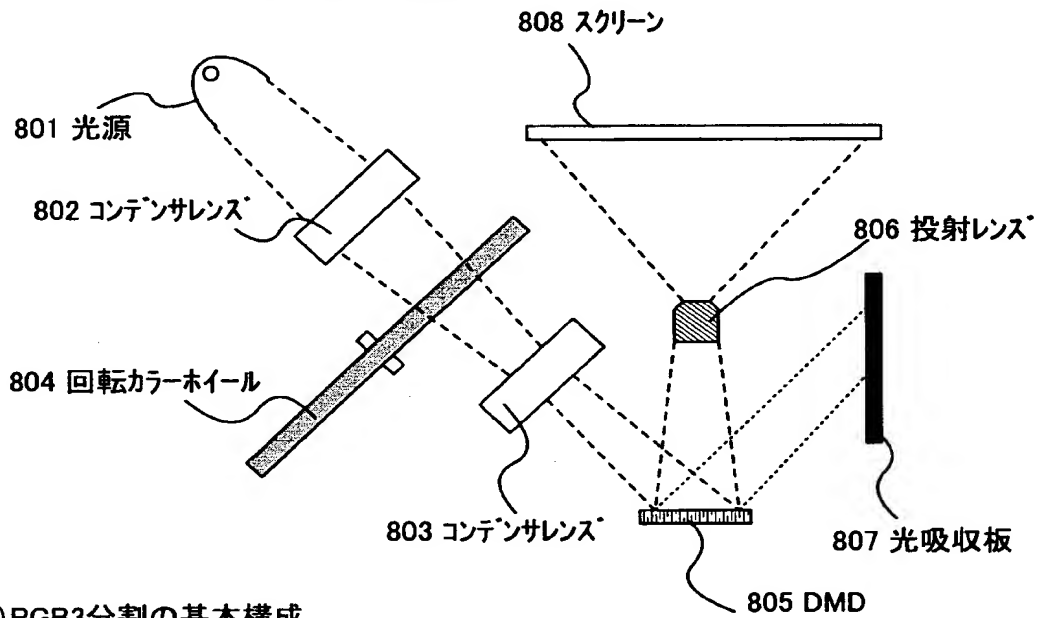


(B)

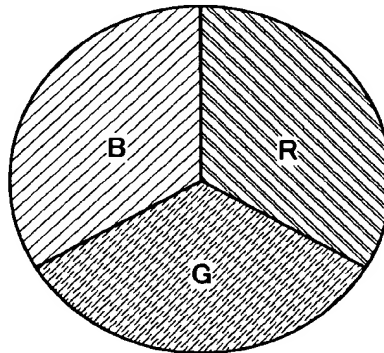


【図 1 2】

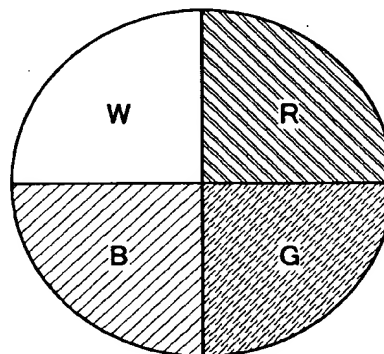
(A) 1チップ方式のプロジェクトのシステム構成



(B) RGB3分割の基本構成

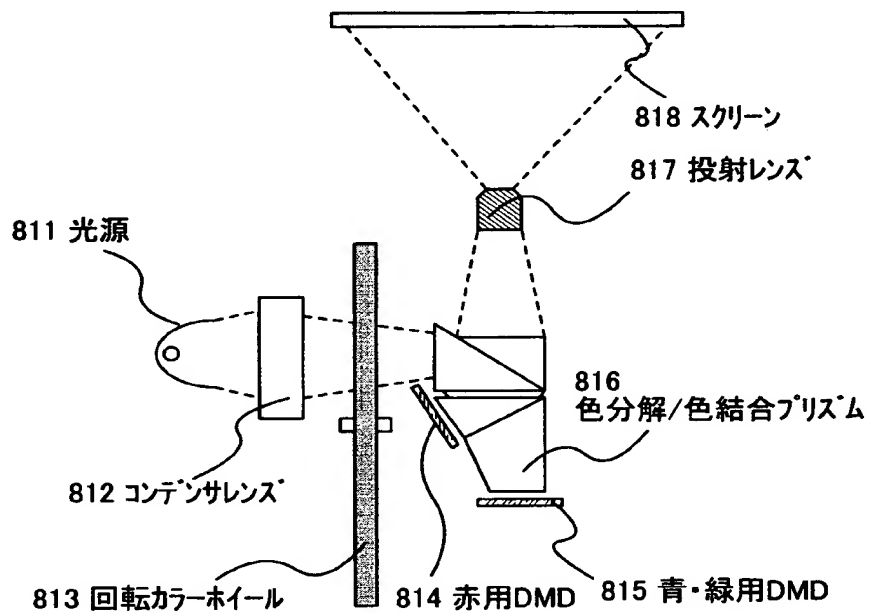


(C) RGBWの4分割の基本構成

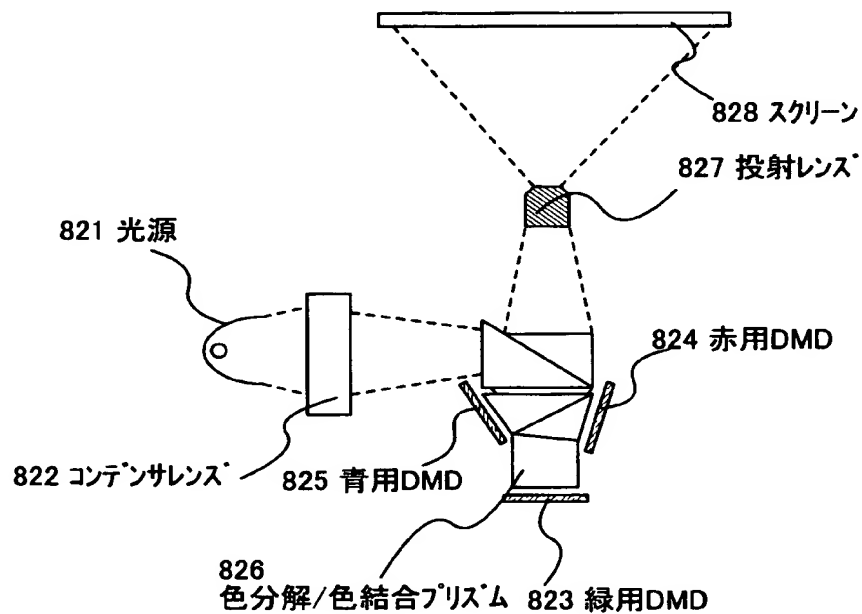


【図 1 3】

(A) 2チップ方式のプロジェクトのシステム構成

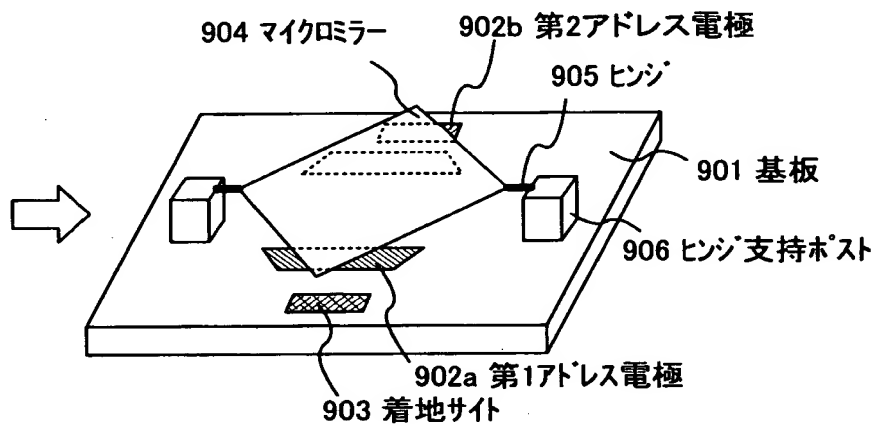


(B) 3チップ方式のプロジェクトのシステム構成

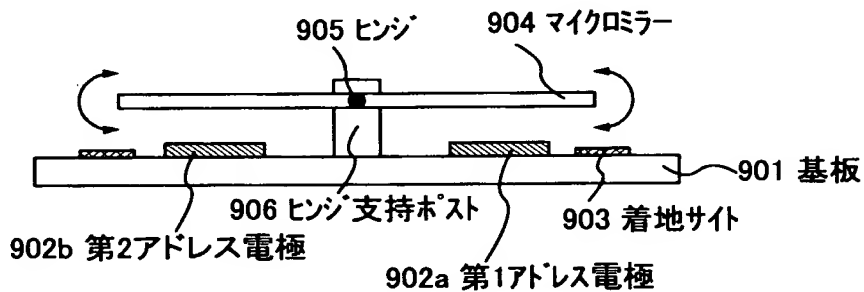


【図14】

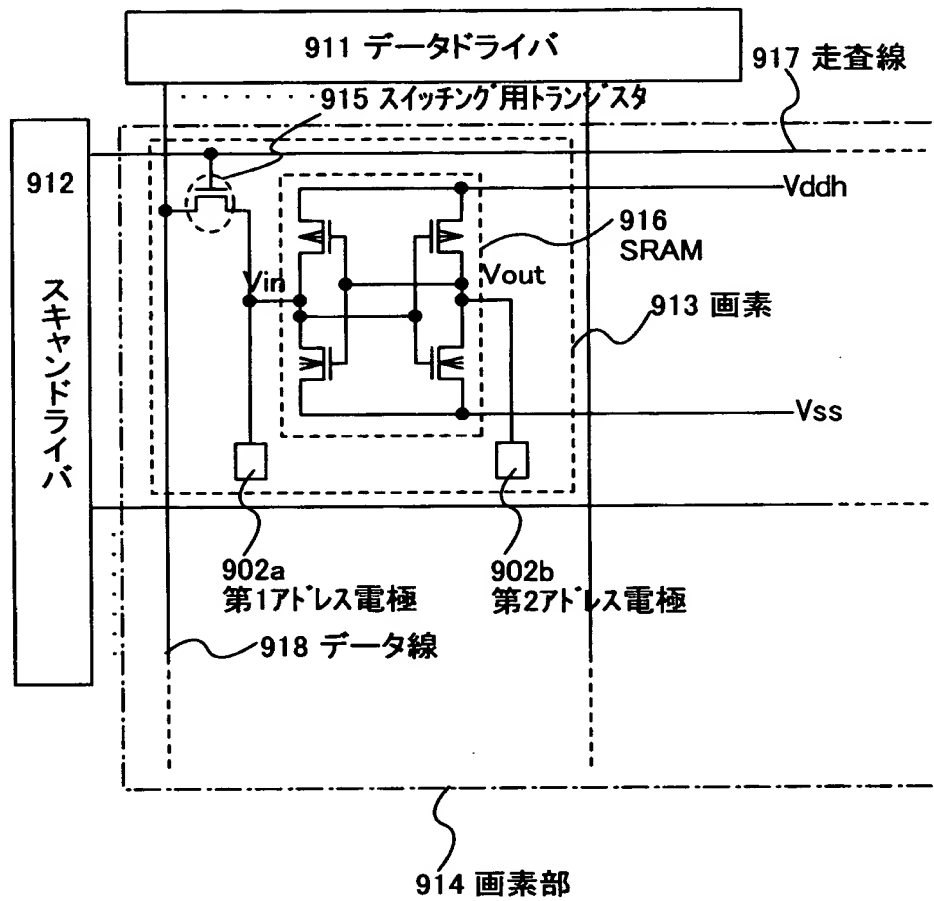
(A)



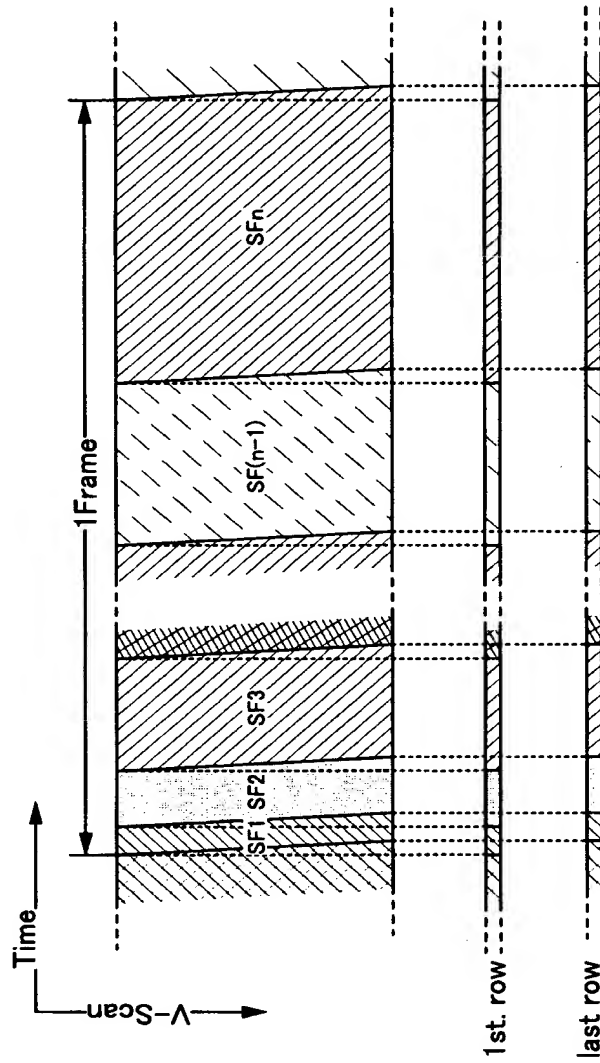
(B)



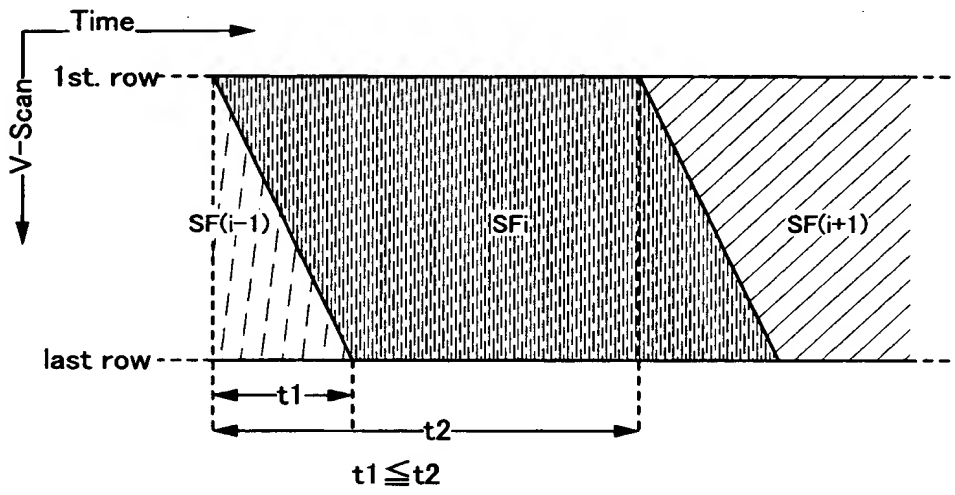
【図 15】



【図 16】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 高い階調数の表示が可能な空間光変調装置を提供する。

【解決手段】 画素に2つのスイッチング用トランジスタを設け、各スイッチング用トランジスタのスイッチングを別個に制御する。そして i ビット目のデジタルビデオ信号と $(i + 1)$ ビット目のデジタルビデオ信号とを並行して画素部に書き込めるようにした

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所